

Matias Lumio

# KATSAUS 3D-PAKKAUSRAKENTEISIIN

Kandidaatintyö

Informaatioteknologian ja viestinnän tiedekunta

Tarkastaja: Yliopistonlehtori Erja Sipilä

Toukokuu 2020

# TIIVISTELMÄ

Matias Lumio: KATSAUS 3D-PAKKAUSRAKENTEISIIN

Kandidaatintyö

Tampereen yliopisto

Tieto- ja Sähkötekniikan kandidaatin tutkinto-ohjelma, Sähkötekniikka

Toukokuu 2020

---

Tämän työn tarkoitus on tehdä kirjallisuusselvitys 3D-pakkausmenetelmistä, niiden kehityksen historiasta, käyttökohteista ja niihin liittyvistä haasteista.

Kirjallisuusselvitys nostaa pintaan 3D-pakkausmenetelmien suuren merkityksen erityisesti mobiililaitteiden ja muiden kannettavien laitteiden kehityksessä ja nykyisen teknologiantason mahdollistamisessa, mutta käsittelee myös sitä, miksi teknologia ei ole vielä käytössä vähemmän tilakriittisissä sovelluksissa kaikista hyvistä puolistaan riippumatta.

3D-pakkausmenetelmät ovat luonnollinen osa pakkausteknologioiden evoluutiota, sillä 2000-luvulla alkanut elektroniikan kiihtynyt kehitys vaati pakkausteknologioilta nopeasti uusia ja parempia versioita, joissa pakkauskoot pienenevät ja niihin sisällytetty toiminnallisuus ja komponenttimäärä kasvoi. Oli mahdotonta vastata kehitysvaatumuksiin hyödyntämällä vanhanaikaisia pakkausmenetelmiä, jotka eivät hyödyntäneet kolmatta ulottuvuutta.

Pinotut piikiekot olivat ensimmäisiä 3D-pakkausmenetelmiä. Tekniikkana se on periaatteeltaan yksinkertainen tapa muodostaa 3D-rakenne ja sitä käytetään nykyään erityisesti muistirakenteissa. Sen suurimpiin haasteisiin liittyy toimintavarmuus suuremmissa pinoissa ja niiden heikentyneet lämpöominaisuudet, mutta huolellinen suunnittelu ja testaus yleensä takaavat hyvän lopputuloksen.

Toinen tärkeä pinottujen pakkausmenetelmien teknologia on pinotut pakkaukset, joissa pinotaan useita pakkauksia päällekkäin ja ne liitetään toisiinsa vertikaalisesti. Se mahdollistaa tiheämpää integraatiota eri pakkausten välille ja tiheämpiä kokonaisuuksia. Kuten pinotuissa piikiekoissa, pinotut pakkaukset kärsivät lämpöominaisuuksiin liittyvistä ongelmista, mutta niistäkin päästään yli huolellisella suunnittelulla ja erilaisilla suunnitteluratkaisuilla.

Viimeinen tärkeä teknologia on pakkauksensisäinen järjestelmä, jossa yhden pakkauksen sisään on integroitu kokonainen järjestelmä. Teknologian alkuvaiheilla oli kyse 2D-mallisesta toteutuksesta, mutta 3D-tekniikoiden tullessa tiedeyhteisön kehitykseen, teknologia otti 3D-mallin sovellettavakseen melko nopeasti ja tehokkaasti. Teknologia on erityisen tärkeä älylaitteille ja esineiden internet -sovelluksille, ja sen haasteisiin kuuluvat kokonaisuuksien monimutkaisuus ja tuotannon heikentynyt saanto.

Nämä eri teknologiat hyödyntävät toisiaan moderneissa laitteissa, ja jatkavat niiden 2000-luvun paikkeilla alkanutta kehitystä. Jos ja kun nämä teknologiat kehittyvät tarpeeksi, niitä voidaan alkaa käyttämään yhä laajemmin erilaisissa sovelluksissa. Näitä teknologioita löytyy lähes kaikista mobiili- ja kannettavista laitteista, valtaosassa moderneista muistirakenteista, korkean suorituskyvyn komponenteista ja IoT-sovelluksista. Niiden kehittäminen jatkuu nykypäivänäkin ja näiden tekniikkojen alueilla tapahtuu monia uusia innovaatioita vuosittain.

Ainoita merkittäviä asioita, mitkä rajoittavat 3D-pakkausrakenteiden leviämistä nykyistäkin laajemmalle, on sen tekniikan verrattain suuret kustannukset. Tämän vuoksi 3D-pakkausrakenteita käytetään toistaiseksi lähinnä sovelluksissa, joissa pakkauskoot ja integraation taso ovat kriittisiä tekijöitä, tämä saattaa muuttua tulevaisuudessa 3D-ratkaisuihin liittyvien kulujen laskiessa ja tekniikan kehittyessä nykyistäkin pitemmälle.

Avainsanat: Elektroniikka, pakkaus, Package-on-Package, PoP, System-in-Package, SiP, pinottu piikiekkö, pinottu siru, pinottu pakkaus, 3D

Tämän julkaisun alkuperäisyys on tarkastettu Turnitin OriginalityCheck –ohjelmalla.

# ALKUSANAT

Tämä kirjallisuustutkielma on kirjoitettu Tampereen Yliopiston Elektroniikan alan opinnäytetyöksi. Opinnäytetyö on tehty hakemalla ja lukemalla useita elektroniikan alan tutkimusraportteja ja artikkeleita, ja koostamalla niiden yleistasollisesti hyödylliset ja kiinnostavat tiedot.

Kiitokset Erja Sipilälle työn tarkistamisesta ja ohjaamisesta, yliopistolle pääsystä eri tietokantoihin ja Seija Lumiolle tekstin oikoluvusta.

Tampereella, 07.05.2020

# SISÄLLYSLUETTELO

1. JOHDANTO .....	1
2. PINOTUT PIIKIEKOT .....	3
2.1 Missä pinottuja piikieikkoja käytetään .....	4
2.2 Pinottujen sirujen haasteita ja rajoitteita .....	6
3. PINOTUT PAKKAUKSET .....	10
3.1 Pinottujen pakkausten käyttösovelluksia ja -tapoja .....	11
3.2 Pinottujen pakkausten haasteita ja heikkouksia .....	15
4. PAKKAUKSENSISÄINEN JÄRJESTELMÄ .....	17
4.1 SiP:n käyttökohteita ja tekniikoita .....	18
4.2 SiP:n haasteita ja ongelmia .....	20
5. YHTEENVETO .....	21
LÄHTEET .....	23

## LYHENTEET JA MERKINNÄT

3D	3-Ulotteinen, Engl. 3-Dimensional
ASIC	Sovelluskohtainen mikropiiri, Engl. Application Specific Integrated Circuit
BD-PoP	Paljassiruinen pinottu pakkaus, Engl. Bare Die Package-on-Package
CSP	Sirukokoluokan pakkaus, Engl. Chip-Scale Package
DRAM	Dynaaminen luku- ja kirjoitusmuisti, Engl. Dynamic Random-Access Memory
ED MLP-PoP	Laserilla ohennettu muoviin valettu paljassiruinen Pop, Engl. Expose Die Molded Laser Package on Package
EMWLP	Sulautettu mikropiikiekkotason pakkaus, Engl. Embedded Micro-Wafer-Level Package
F2F	Vastakkain liitäntä, Engl. Face-to-Face
fc	Kääntösiru, Engl. Flip Chip
fcCSP	Kääntösiru sirunlaajuinen pakkaus, Engl. Flip Chip Chip-Scale Package
I/O	Sisääntulo-/ulostulokanavia, Engl. Input/Output
InFO WLCSP	Integroitu levittäytyvä piitason sirukokoluokan pakkaus Engl. Integrated Fan Out Wafer Level Chip Scale Package
InFO	Integroitu levittäytyvä, Engl. Integrated Fan Out
IoT	Esineiden internet, Engl. Internet of Things
I-PoP	Pinottu pakkaus välittäjällä, Engl. Interposer Package on Package
LED	Valodiodi, Engl. Light Emitting Diode
MDP	Monisirupakkaus, Engl. Multi-Die Package
MEMS	Mikroelektromeekaaninen systeemi, Engl. Micro-Electro-Mechanical System
MLP-PoP	Laserilla ohennettu muoviin valettu kääntösiru pinottu pakkaus, Engl. Molded Laser Flip Chip Package on Package
MMC	Multimediakortti, Engl. Multimedia Card
NCF	Johtamaton filmi, Engl. Non-Conductive Film
OEM	Alkuperäinen valmistaja, Engl. Original Equipment Manufacturer
PCB	Piirilevy, Engl. Printed Circuit Board
PCMCIA	Kansainvälinen PC-muistikorttiyhdistys, Engl. Personal Computer Memory Card International Association
PoP	Pinottu pakkaus, Engl. Package on Package
PC	Tietokone, Engl. Personal Computer
RDL	Uudelleenjakamislinjat, Engl. Redistribution Lines
SCSP	Pinottu sirunlaajuinen pakkaus, Engl. Stacked Chip Scale Package
SiP	Pakkauksensisäinen järjestelmä, Engl. System in Package
SoC	Järjestelmä yhdellä sirulla, Engl. System on Chip
SSD	Puolijohdelevy, Engl. Solid-State Drive
TFBGA	Ohut ja tiheäliitoksinen pallomatriisi, Engl. Thin and Fine Pitch Ball Grid Array
TMV	Muovin läpivienti, Engl. Through Mold Via
TSV	Piinin läpivienti, Engl. Through Silicon Via
WLCSP	Kiekkotason sirunlaajuinen pakkaus, Engl. Wafer Level Chip Scale Package

# 1. JOHDANTO

Pinotut pakkausmenetelmät ovat tärkeä ja olennainen aihe elektroniikan ja teknologian alalla. Tämä on korostunut 3D pakkausratkaisujen ollessa luonnollinen osa Mooren ja More than Mooren mukaisen teknologian tiivistymisen kehitystä nykypäivänä, kun komponenttikoot alkavat olla lähellä fyysisiä minimeitään. (F. Santagata et al 2018; M. Rencz 2005) Pinottuja pakkausmenetelmiä on monenlaisia yksinkertaisesta yksittäisten pakkausten sisäisten komponenttien pinoamisesta suurempien kokonaisuuksien ja monien eri pakkausten ja systeemien pinoamiseen asti (Larry Wu et al 2000; C. Yang 2008; K. M. Brown 2004). Pinottujen pakkaustekniikoiden yhteinen piirre on niiden rakenteiden laajentaminen vertikaalisesti, kun taas perinteisissä rakenteissa komponentteja on asennettu vain xy-akseleille.

Systeemien minimoinnin eduista on puhuttu paljon, ja niihin sisältyy pienempi käyttöenergia, parempi toimintakyky ja paremmat lämpöominaisuudet. Systeemien minimoimiseen on kehitetty monia tekniikoita, mutta monet niistä ovat jääneet toteutumatta niihin liittyvien haasteiden takia. Yksi lupaava tekniikanhaara, joka on saavuttanut suunnitteluvaatimuksia koon, käyttöenergian, suorituskyvyn ja lämpöominaisuuksien kannalta on 3D-pinoaminen (B. J. Barbara 2017). M. Renczin (2005) mukaan pinotut pakkausmenetelmät mahdollistavat uusia ratkaisuja, joissa komponenttien tiheys, nopeus, hinta ja toimeenpanonopeus ovat parempia kuin vanhoissa ratkaisuissa. M. Tsai ja hänen kollegansa (2017) kuvailevat 3D-tekniikoiden olevan pakollinen evoluutio pakkaus- tekniikoissa xy-dimensioiden ollessa yhä rajallisempia.

Tämän tutkimuksen tavoite on selvittää, mitä pinotut pakkausmenetelmät ovat, missä niitä sovelletaan ja mitä eroa eri menetelmillä on toisiinsa verrattuna. Tämän kirjallisuustutkielman tutkimuskysymys on:

Mitä ovat pinotut pakkausmenetelmät?

Kysymyksen selventämiseksi tähän tutkimukseen liittyy myös alatutkimuskysymyksiä:

- 1.1 Missä pinottuja pakkausmenetelmiä käytetään ja minkälaiset niiden tulevaisuudennäkymät ovat?
- 1.2 Mitä haasteita eri pinottuihin pakkausmenetelmiin kuuluu?
- 1.3 Mitä eroa pinotuilla pakkausmenetelmillä on toisiinsa nähden?

Tutkielman tutkimusmenetelmä on kirjallisuuskatsaus, minkä avulla kysymyksiin pyritään rakentamaan kattava vastaus ja näkemys. Aineistoa on lähtökohtaisesti etsitty Google Scholarin kautta, ja valtaosa aineistosta on IEEE Xplore:lta peräisin olevia tutkimuksia.

Tutkielmassa aluksi tarkastellaan toisessa luvussa pinottuja piikiekkoja (stacked die), niihin liittyviä ongelmia, kehitystä ja tulevaisuudennäkymiä, minkä jälkeen kolmannessa luvussa tarkastellaan pinottuja pakkauksia (Package on Package) ja niihin liittyviä piirteitä. Neljännessä luvussa tarkastellaan 3D pakkauksensisäisiä systeemeitä (3D System in Package) ja niiden piirteitä, ja viidennessä luvussa on yhteenveto, jossa pyritään vertaamaan eri tekniikoita toisiinsa ja pohtimaan, mihin eri tilanteisiin pinottuja pakkausmenetelmiä sovelletaan ja mitä yksittäisiä ratkaisuja eri tarpeisiin käytetään.

## 2. PINOTUT PIIKIEKOT

Pinotut piikiekot olivat ensimmäisiä pinottujen pakkausmenetelmien tekniikoita. Tämä tekniikka tuli markkinoille 2000-luvun aikoihin. Pinotut piikiekot kuuluvat monisiru-pakkauksen (MDP, engl. Multi-Die Package) luokittelun alaisiksi, mutta niissä oli uutena ilmiönä tilan kolmiulotteinen hyödyntäminen eli kiekkojen pinoaminen ylöspäin sen sijaan, että niitä olisi pinottu samalle tasolle saman pakkauksen sisälle. Vielä 2000-luvun alkuvaiheilla muut MDP-rakenteet olivat pääsääntöisesti käytössä, mutta 3D-rakenne oli yleistyessä tasaista vauhtia eri markkinoiden osa-alueilla. (Larry Wu et al 2000)

3D-rakenteen käyttöönotto eteni jatkuvasti, sillä markkinat tarvitsivat yhä tiheämpiä pakkauksia ja enemmän tilaa muille komponenteille pakkausten sisällä. 3D-pakkausten käyttöönottoon liittyi kuitenkin selviä haasteita. Ensimmäinen haaste siirryttäessä jostakin muusta generisestä tai MDP-pakkauksesta oli se, että vanhat kokoonpanolinjat vaativat kalliita muutoksia, jotta ne pystyisivät tuottamaan 3D-rakenteita. (Larry Wu et al 2000) 3D-pakkausten toimintavarmuus oli myös tutkittava, sillä 3D-pakkauksilla oli ongelmia kosteuden aiheuttaman delaminaation, korroosion ja popkorni-ilmiön takia (C. Y. Li et al 2008).

3D-teknologia oli haasteistaan riippumatta selvästi paras ratkaisu kahdelle eri sovelluskohteelle jo sen alkuvaiheilla: Mobiililaitteille ja kuluttajatuotteille. Erityisesti puhelinten nopea kehitys 2000-luvun alussa johti 3D-teknologian nopeaan kehitykseen ja käyttöönottoon (Larry Wu et al 2000), ja sen kehitys on ollut vain jatkuvassa nousukiidossa, erityisesti mobiilimarkkinoilla niiden räjähtäessä 2000-luvulla (C. Y. Li et al 2008).

Erityisesti mobiililaitteiden kehitysvaatimukset edellyttivät yhä suuremman tason integraatiota, nopeampaa ja tehokkaampaa toimintaa, nopeaa tekniikan käyttöönottoa, matalaa hintaa ja pienempiä pakkauksia, mihin vain 3D-tekniikat pystyivät vastaamaan (M. Rencz 2005). Eräs yleinen flash-muisti ja staattinen luku- ja kirjoitusmuisti (SRAM, engl. Static Random-Access Memory) vaativat jalanjäljekseen 347 mm<sup>2</sup>, mutta 3D-mallissa tämä kombinaatio vaati jalanjäljekseen vain 90 mm<sup>2</sup> (Larry Wu et al 2000). Black (B. Black et al 2006) kuvailee pinottujen sirurakenteiden mahdollistavan monenlaisia korkeakaistaisia, pieniviiveisiä, pienikokoisia ja pienienergiaisia liitoksia.

Koska mobiililaitteilla ja muulla pienenälektronikalla ei yksinkertaisesti ollut tilaa niiden piiri-levyillä laitteiden pientyessä ja toimintojen kasvaessa, 3D oli luonnollinen ratkaisu korkeammasta käyttöönottohinnastaan riippumatta. Esimerkiksi kannettaville musiikki-



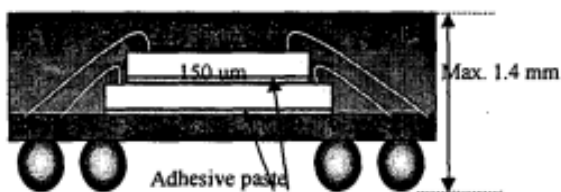
soittimille, jotka vaativat erittäin tiheää ja pienikokoista muistia, ei ollut mahdollista suunnitella kokonaisuuksia käyttämällä vanhoja 2D-tekniikoita kasvattamatta laitteen kokoa haluttua suuremmaksi tai rajoittamalla muistia liikaa. (Larry Wu et al 2000)

Sirujen vaadittu tiheys kasvoi 2000-luvulla noin 50 % vuodessa (Larry Wu et al 2000), ja 3D-teknologioiden käyttöönotto mahdollisti ei ainoastaan Mooren lain seuraamisen, jonka mukaan kiekkojen määrä tuplaantuu noin 18 kk välein, vaan jopa More than Mooren ainakin väliaikaisesti (M. Rencz 2005). Pinottujen sirujen rakenne voi myös korvata yhden tai useamman yhden sirun pakkauksen systeemissä, mikä lyhentää sähköistä viivettä ja parantaa sähköistä toimivuutta merkittävästi (L. Wu et al 2000).

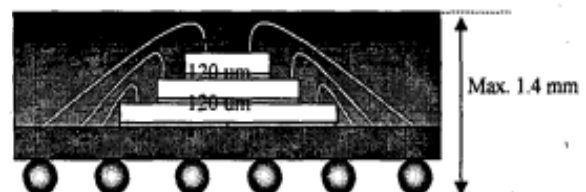
Wu ja hänen kollegansa arvioivat vuonna 2000 3D-tekniikan tulevan erityisesti puoli-johdemarkkinoilla valtavirran teknologiaksi, sillä se pystyi parantamaan tuotteiden laatua, kokoa ja toimivuutta. He myös mainitsivat teknologian olevan hintaherkkä, eli lopputuloksen laatu muuttuu vahvasti investoinnin suuruuden mukaan. Vuonna 2006 julkaistu tutkimus vahvistaa spekulatiota siinä, että sirujen pinottu rakenne on saanut paljon huomiota erityisesti sulautettujen järjestelmien markkinoilla ja että 3D-ratkaisuja pidetään hyvänä vaihtoehtona monilla markkinoilla perinteisiin rakenteisiin verrattuna (B. Black et al 2006).

## 2.1 Missä pinottuja piikiekoja käytetään

Pinotuille piikiekoille tuli alussa kolme päätyyppiä. Ensimmäinen tyyppi on kuvassa 1 näkyvä yksinkertainen 2-kerroksinen pinottu piikieppo ohut ja tiheäliitoksinen pallo-matriisi (TFBGA, engl. Thin and Fine Pitch Ball Grid Array), toinen tyyppi on kuvassa 2 näkyvä 3-kerroksinen pinottu piikieppo TFBGA ja kolmas tyyppi on kuvassa 3 näkyvä Multi-Media Card (MMC), joka toimii flash-muistikorttina kansainvälisen PC (henkilökohtainen tietokone, engl. Personal Computer) -muistikorttiyhdistelmän (PCMCIA engl. Personal Computer Memory Card International Association) standardien mukaisissa moduuleissa kuten puolijohdelevyissä (SSD, engl. Solid-State Drive). 2-kerroksisessa pinotussa piikiekoissa pinotaan 2 sirua päällekkäin yhteiselle substraatille. (Larry Wu et al 2000) Myöhemmin siruja on pinottu yhä enemmän, ja jo vuonna 2008 on ollut jo olemassa 7-8 ytimen pinoja, jotka on liitetty toisiinsa johtamattomalla kalvolla (NCF engl. non conductive film) (C. Y. Li et al 2008).



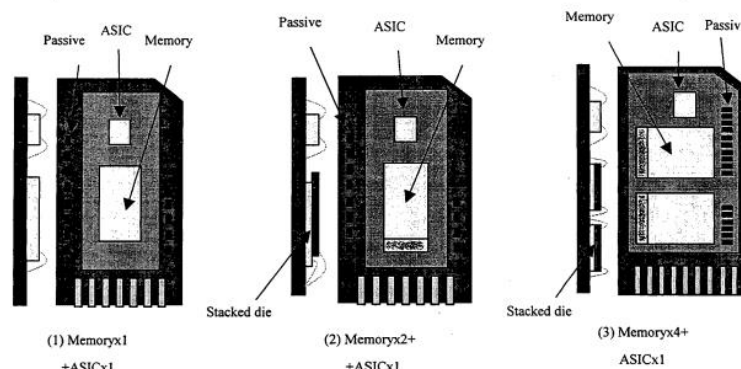
**Kuva 1.** 2-kerroksinen TFBGA (Larry Wu et al 2000)



**Kuva 2.** 3-kerroksinen TFBGA (Larry Wu et al 2000)

2-kerroksisen rakenteen etuna oli se, että se pystyttiin toteuttamaan vanhoilla metodeilla ja sirujen välinen yhteys hoidettiin lankaliitosmenetelmällä, eli se oli kokonaisuudessaan halpa tapa suorittaa yksinkertaista 3D-rakennetta, sillä sen käyttöönotto ei vaatinut valtavaa investointia tutkimuksen ja tuotantolinjojen kautta. (Larry Wu et al 2000)

3-kerroksinen rakenne oli käytännössä samanlainen kuin 2-kerroksinen, paitsi siihen lisättiin vielä yksi siru lisää. Sirujen maksimikorkeutta piti kuitenkin rajoittaa, jotta pakkauksen korkeus ei kasva liikaa, mikä lisäsi suunnitteluhaasteita ja kustannuksia. 3-kerroksinen malli kuitenkin mahdollisti suuren valikoiman erilaisia ratkaisuja. Esimerkiksi kahden muistimoduulin ja yhden logiikkamoduulin pinoaminen tai yhden moduulin, yhden logiikkamoduulin ja yhden sovelluskohtaisen mikropiirin (ASIC, engl. Application Specific Integrated Circuit) moduulin pinoaminen, joista jälkimmäinen voi muodostaa pakkauksensisäisen systeemin (SiP engl. System in Package). (Larry Wu et al 2000)



**Kuva 3.** Larry Wu et al (2000) *Multimediacortti*

SanDisk:n julkaisema kuvassa 3 näkyvä multimediacortti (MMC, engl. MultiMedia Card) puolestaan muodosti julkaisuvuonnaan 1997 maailman pienimmän SSD-muistimoduulin, painoluokaltaan noin gramma ja kooltansa noin postimerkin kokoinen. Muistimoduulin tallennustila oli silloin 64 MB (Larry Wu et al 2000), kun taas vuonna 2014 SanDisk julkaisi jopa 512 GB kokoisen SSD:n (M. Zhang 2014). MMC:tä sovellettiin monissa laitteissa, kuten puhelimissa, digitaalikameroissa ja musiikkisoittimissa ja se mahdollisti laitteille enemmän toimintoja ja pienemmän laitekoon. MMC:ssä käytetyt sirut olivat niin pieniä, että niitä ei voitu enää käsitellä manuaalisesti, vaan prosessit piti automatisoida. (Larry Wu et al 2000)

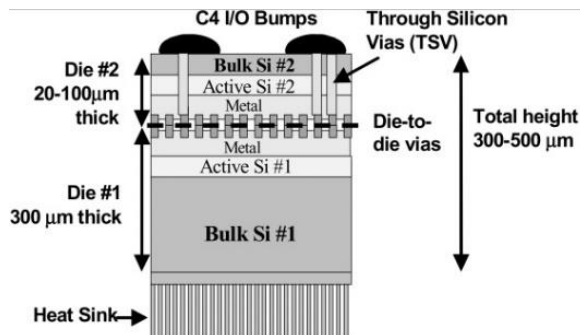
Aluksi 3D-pakkausten sirujen toisiinsa liimaaminen tapahtui käytännössä kahdella eri liimatyypillä, joko liimapastalla tai liimakalvolla. Liimakalvon lopputulos oli erittäin laadukas, mutta se vaati kokoonpanolinjalla lisävarusteita ja se oli kalliimpaa. Liimapasta puolestaan oli huomattavasti yksinkertaisempi käytettävä ja salli matalampia liitoslämpötiloja, joka joissakin tilanteissa saattoi tarkoittaa sen olevan ainoa vaihtoehto. Kalvoon verrattuna pasta jakaa fyysistä kuormaa huonommin, mutta se kestää lämpöä paremmin ja se estää popkorni-ilmiötä. (Larry Wu et al 2000) Yleisesti ottaen pasta oli käytetympi ratkaisu, ellei kalvon erityisominaisuuksia tarvittu (Larry Wu et al 2000), ja esimerkiksi suuremmissa sirupinoissa käytetään nimenomaan kalvoa (C. Y. Li et al 2008).

## **2.2 Pinottujen sirujen haasteita ja rajoitteita**

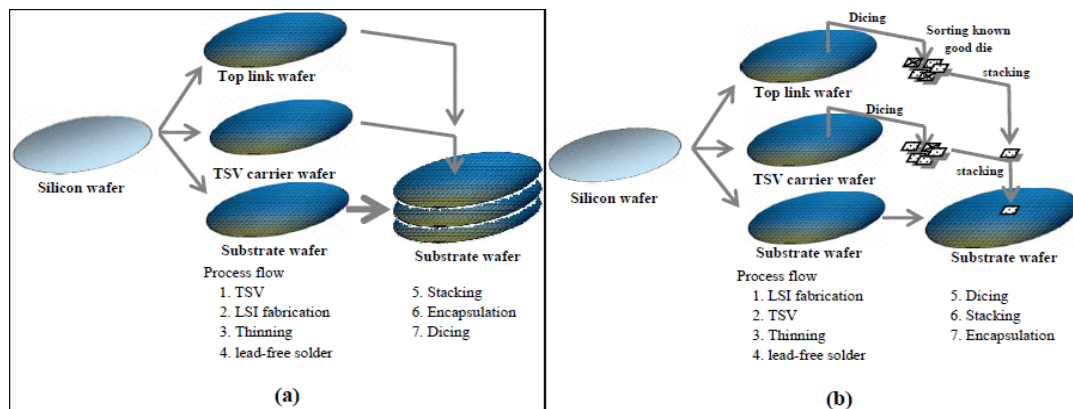
Sirujen pinottu rakenne tuo erilaisia ongelmia ja suunnittelurajoitteita. Yksi tutkituin ongelma liittyy lämpöongelmiin. Koska pelkistetty pinottujen sirujen rakenne joutuu poistamaan kaiken lämmön vain yhtä kanavaa pitkin hyödyntäen alimmaisen sirun lämmönpoistokanavia, on tyypillistä, että sirupinojen yläosiin laitetaan pienitehoisia siruja kuten muistia (M. Rencz 2005). On huomautettava kuitenkin, että jos vertaa yhtä suuritehoisen sirun pakkausta esimerkiksi kolmen yhteensä yhtä suuritehoisen sirun pinottuun pakkaukseen, pinottujen sirujen pakkaus oli marginaalisesti huonompi lämpöominaisuuksiltaan (L. Wu 2000).

B. Black ja hänen kollegansa tarkastelivat pinottujen sirujen kokemia lämpöongelmia tarkemmin (B. Black et al 2006). Yksi tärkeä havainto nousee välittömästi 3D-pakattujen sirujen ja perinteisesti pakattujen sirujen välillä: 3D-pakatussa rakenteessa on mahdollista käyttää komponenttien sisäisiä ja välisiä johtimia paljon pienemmissä määrissä, joten johtojen aiheuttama hukateho, viive ja suuri jalanjälki pienenevät merkittävästi. Johtimet saattavat kuluttaa jopa 30% mikroprosessorin energiasta hukatehona, joten sen pienentäminen tulee vaikuttamaan systeemin hyötysuhteeseen merkittävästi. Lämpö-riskien takia on tarkoitus pinota päällekkäin nimenomaan pienitehoisia siruja, joilla muodostetaan korkeakaistaisia, pieniviiveisiä ja pienienergiaisia liitoskokonaisuuksia. (B. Black et al 2006)

Yksi yleinen pinottujen sirujen rakenne on kuvassa 4 näkyvä vastakkaista (F2F, engl. Face-to-Face) käyttävä kahden sirun pino, joka mahdollisesti erittäin tiiviin liitännän mahdollistaen monenlaisia vaihtoehtoja prosessorin organisoimiselle ja se oli myös hyvin yleistettävissä sekä helposti integroitavissa (B. Black et al 2006). Tämän rakenteen lisäksi on kuitenkin monia eri ratkaisuja kuten muun muassa kuvassa 5 näkyvät wafer-to-wafer ja die-to-wafer liitännät. On myös mahdollista käyttää enemmän kuin yhtä sirua myös tässä rakenteessa, mutta Black ja hänen kollegansa (B. Black et al 2006) päätyivät käyttämään kuvan 4 rakennetta tutkimuksessaan.



**Kuva 4.** F2F-rakenne (B. Black et al 2006)



**Kuva 5.** Wafer-to-wafer (a) ja die-to-wafer (b) -rakenteet (K. Sakuma et al 2008)

Yleisesti ottaen 3D-rakenne vähentää metallilankojen tarvetta ja ääritapauksessa saattaa eliminoidakin niiden tarvetta erilaisissa muisti-logiikka- tai logiikka-logiikka-rakenteissa, mikä madaltaa viivettä, energiantarvetta ja vaadittua tilaa yhä edelleen. Yksi pysyvä riskitekijä on lämpöpesäkkeiden lisäämisen riski, ja tämä tulee ottaa suunnittelussa huomioon erittäin tarkasti. (B. Black et al 2006)

Blackin ja hänen kollegoidensa suorittamassa tutkimuksessa (B. Black et al 2006) havaittiin, että esimerkiksi 32 MB dynaamisessa luku- ja kirjoitusmuistissa (DRAM, engl. Dynamic Random-Access Memory) 3D-pakatussa rakenteessa saman muistimäärän lukemiseen tarvittavien syklien lukumäärä laskee keskimäärin 13 % ja parhaimmillaan 55

% perinteiseen rakenteeseen verrattuna, kun taas lämpötilannousu oli marginaalisen pieni. Toisessa heidän suorittamassaan vertailussa he suunnittelivat suuritehoisen mikro- prosessorin pinotun sirun rakenteella ja tutkimus osoitti, että mikroprosessorin tehontarve pieneni noin 15 %, suorituskky kasvoi noin 15 %, mutta huonona puolena huippulämpö kasvoi 14 °C. Kun he skaalasivat prosessorin ottamaa tehoa, kunnes lämpötilan muutos oli mitätöity, prosessorilla oli 34 % pienempi tehonkulutus ja 8 % suurempi suorituskky. (B. Black et al 2006)

Tämä osoittaa, että kun suunnittelussa otetaan huomioon pakkauksen yhteistehovaatimukset ja joko rajoitetaan pakkauksen tehoa sen mukaan tai mukautetaan sen lämmönpoistokkyä, lämpöön liittyvät ongelmat eivät ole ylitsepääsemättömiä esteitä, ja oikein suunnitteleamalla 3D-rakenteella voi olla jopa paremmat lämpöominaisuudet kuin perinteisillä rakenteilla. Pinottujen sirujen rakenteiden pienemmät tehovaatimukset saattoivat monissa tapauksissa laskea tehoa enemmän kuin rakenteen huonommat lämpöominaisuudet nostivat lämpöä saavuttaen neutraalin tai jopa laskeneen lämmönmuutoksen. (B. Black et al 2006)

Lämmön aiheuttamien riskien lisäksi pinottujen sirujen rakenteisiin liittyy ongelmia, muun muassa delaminaatiota ja halkeamia, jotka vaikuttavat laitteiston ympäristöalittiuteen. Näiden lisäksi kosteus aiheuttaa erilaisten ongelmien kuten popkorni-ilmiön riskin kasvua erityisesti suuremmissa sirupinoissa. Popkorni-ilmiö aiheutuu pakkauksen sisälle jääneen tai sinne imeytyvän kosteuden kaasuuntumisesta suuressa lämpötilassa nostaen pakkauksen sisäisen paineen niin korkeaksi, että pakkauksen rakenne hajoaa. (C. Y. Li et al 2008; C. Liangbiao 2016) Koska pinottujen sirurakenteiden lankaliitoksen langat ovat kasvaneen jännityksen alaisia ja saattavat katketa sen takia, on mietittävä lankaliitosmenetelmän sijaan muita liitosmenetelmiä sirujen välille mataluuden säilyttämiseksi. Lankaliitoksen sijaan on mahdollista käyttää esimerkiksi pistoliitääntä, joka nostaa kokonaiskustannuksia, mutta takaa paremman kestävyuden. (L. Wu et al 2000)

Tuotannossa pinottujen sirujen heikkous on se, että jos yksikin siru on sirupinossa huono, se tekee koko pakkauksesta käyttökeltvottoman. Tämä heikentää saantoa ja tekee tekniikasta kalliimpaa. Korkeammilla sirupinoilla on tästä syystä vieläkin matalampi saanto. (R. G. Clark, J. D. Poole 2016; A. Yoshida et al 2006) Ultraohuilla sirupinoilla suurimpia riskitekijöitä ovat sirujen välisen kalvoliitännän epäonnistuminen (C. Liangbiao 2016).

Pinottujen sirujen suunnitteluhaasteet ja riskit kumuloituvat siis siihen, että valtaosaan teknologiasta tarvitsee uudenlaisia tuotantolinjoja ja metodeja, suunnitteluvaiheessa

pitää ottaa huomioon lämpöominaisuudet yleistä tarkemmin ja monimutkaisuuden vuoksi lopputuotteen saanto saattaa olla hieman pienempi. Nämä syyt eivät kuitenkaan ole niin painavia, etteikö 3D-pinotut sirut olisi haluttu teknologia eri markkinoiden osa-alueille. (C. Liangbiao 2016)

### 3. PINOTUT PAKKAUKSET

Mobiililaitteiden pienentyessä yhä edelleen ja samalla niiden vaatiessa yhä enemmän ominaisuuksia ja älyä 2000-luvulla ja siitä eteenpäin tarvittiin yhä suuremman tason integraatiota suunnittelussa (C. Yang 2008; A. Yoshida et al 2006; F. Carson 2010; Ming-Che Hsieh 2016). Mobiilisovellukset ovat viimevuosikymmeninä edenneet 2G:stä aina 4G LTE:hen asti, ja ne ovat puskemassa 5G teknologiaa kohti, mikä on ollut yksi kasvavien suoritusvaatimusten aiheuttaja (Ming-Che Hsieh 2016). Teollisuus ei kuitenkaan hyväksynyt mitä tahansa ratkaisuja, vaan pienen koon, tehon ja ominaisuusrikkouden lisäksi tuli myös ottaa huomioon hinta (S. C. Chong et al 2013).

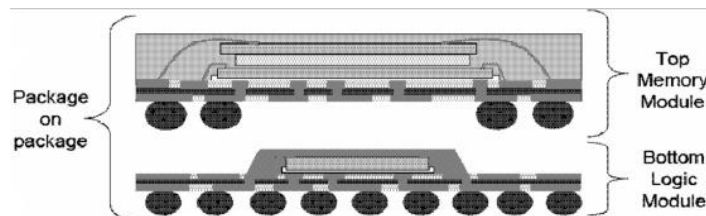
Pinotut pakkaukset (PoP engl. Package on Package) on noussut hyvin vahvana tekniikkana mobiilisovelluksille edellä mainittuihin vaatimuksiin, erityisesti muistia ja logiikkaa yhdistävissä rakenteissa (R. G. Clark, J. D. Poole 2016). PoP kehitettiin vaihtoehdoksi pinottujen sirujen rakenteelle, sillä pinotut sirut eivät pystyneet vastaamaan kasvaviin vaatimuksiin. PoP tarjoaa samoja hyviä puolia kuin pinotut sirut, mutta se on dynamisempi ja tarjoaa paremman testattavuuden. (A. Yoshida et al 2006)

Sekä PoP:n että pinottujen sirujen paras puoli on niiden mahdollistama tilansäästö. 2000-luvun alun jälkeen, kun sirujen pinoaminen ei ollut ainoita 3D-ratkaisuja, PoP on noussut sirujen pinoamista käytetyimmäksi teknologiaksi ominaisuuksiensa takia. PoP:in avainetu sirujen pinoamiseen nähden on se, että muisti ja logiikka ovat toisistaan erillisiä pakkauksia. Tämä mahdollistaa muistin ja logiikan tilaamisen eri valmistajilta tarpeiden ja hinnan mukaan, joten halvemmille kuluttajalaitteille voidaan soveltaa pienempiä ja huonompia moduuleita, kun taas laadukkaammille tuotteille voidaan käyttää viimeisintä teknologiaa. (R. G. Clark, J. D. Poole 2016)

Pääsääntöisesti PoP koostuu kahdesta pakkauksesta, jotka on kiinnitetty päällekkäin. Alkuvaiheilla yhdistäminen tapahtui juotospalloilla alapakkauksen muoviin valetun alueen ulkopuolella, kuten kuvassa 6 näkee (C. Yang 2008), mutta myöhemmin on kehitetty muita tekniikoita pakkausten välisten yhteyksien luomiseen, kuten muovin läpivienti (TMV, engl. Through-Mold-Via) (S. C. Chong et al 2013). PoP takaa logiikan ja muistin välille lyhyet yhteydet, jotka takaavat paremman toimivuuden takaamalla myös lyhyemmät sisäiset yhteydet. Tämä puolestaan nopeuttaa signaalien etenemisnopeutta ja vähentää komponenttien kokemaa ylikuulumista. (R. G. Clark, J. D. Poole 2016)

### 3.1 Pinottujen pakkausten käyttösovelluksia ja -tapoja

Kuvan 6 muistin ja logiikan yhdistävä rakenne on ylivoimaisesti yleisin PoP rakenne, sillä alapakkauksen vaikutus yläpakkauksen ja pakkaustenvälisiin liitoksiin on merkittävä. Kuvan 6 rakenne on Yangin tutkimuksen aikaan valtakäytössä oleva PoP-rakenne, mutta siihen liittyy ongelmia: Juotosliitosten pitävyyden, pakkausten käyrityksen ja monien pienempien tekijöiden muodostamat ongelmat pinoamisvaiheessa estävät liitostihedeyden pienentämisen. (C. Yang 2008) Myöhemmin on tullut tekniikoita, jotka hyödyntävät esiin läpivientä (TSV, engl. Through Silicon Via), kuten sulautettu mikro-piikiekko-tason pakkaus (EMWLP, engl. Embedded Micro Wafer-Level Package), joka mahdollistaa muun muassa tiheämpää reititystä pakkausten välille (S. C. Chong et al 2013).



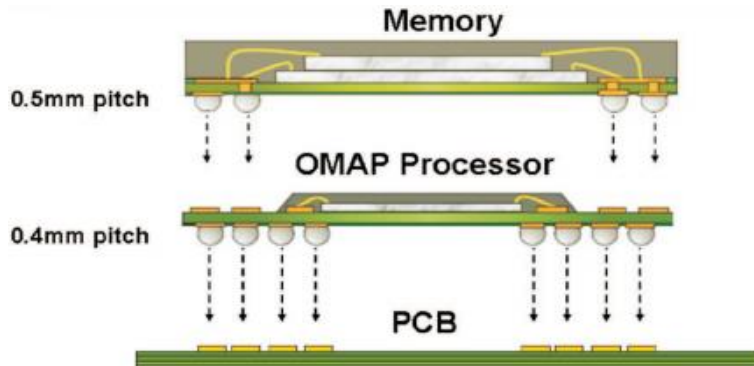
**Kuva 6.** Yleinen PoP-rakenne (C. Yang 2008)

Yleisin liitosrakenne PoP:ssa on perinteisesti ollut lankaliitos, joka tarjoaa halvan ja helpon rakenteen, mutta monimutkaisemmat ja tehokkaammat rakenteet kuten kääntösiru (fc, engl. Flip Chip) ovat pikkuhiljaa syrjäyttämässä tätä. Kun PoP-tekniikka on levinnyt yhä laajemmalle, tästä on aiheutunut suunnitteluvaatimuksia yhä monimutkaisemmille ja tehokkaammille PoP-ratkaisuille. Teknologian alkuvaiheilla juotospallojen etäisyys oli 0.65 mm, mutta korkeanopeuksisten ja suurikaistaisten DRAM ja flash-muistillisten DRAM:ien vaatiessa yhä enemmän sisääntulo-/ulostulokanavia (I/O, engl. Input/Output) samaan tiheyteen pakkausten väliin ja alapakkaukseen, on tarvittu yhä tiheämpiä ratkaisuja. 0.5 mm:stä oli tullut standardi vuoteen 2009 mennessä ja 0.4 mm oli kehityksen alla niihin aikoihin. (F. Carson 2010)

Juotospallojen pieneneminen on johtanut myös pienempiin pakkauspainoihin, mikä on puolestaan johtanut yläpaketin painorajoihin ja juotospallojen kokoon. Tämän takia yksi tärkeimmistä kehityskohteista näihin aikoihin ovat olleet pakkauskoot ja pakkausten korkeudet. Vaikka nämä vaatimukset puskevat PoP:ia kääntösiruteknologiaan ja muihin moderneihin liitosteknologioihin, on silti tavanomaista käyttää lankaliitosmenetelmää yläpakkauksen sisällä, kuten kuvasta 7 näkee. Se on muistimoduuleille riittävä ja edullinen ratkaisu ja joissakin tapauksissa se jopa helpottaa yläpakkauksen integroimista



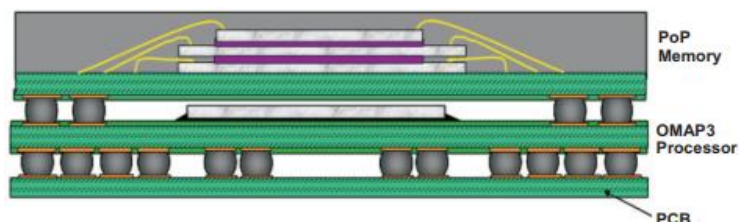
ala- pakkaukseen. (F. Carson 2010; Ming-Che Hsieh 2016) Piipohjaiset substraatit, jotka hyödyntävät TSV:tä, ovat olleet harkinnassa superohuiden ja tiiviiden muistipinojen luomiseksi, jotta kokonaispakkaukorkeutta voidaan pienentää tai muistin pakkaukseen asentaa enemmän muistia (F. Carson 2010).



**Kuva 7.** 0.5 mm muistipakkauksen ja 0.4 mm prosessorin PoP (K. Gutierrez, G. Coley 2009)

Carson arvioi PoP:n kasvattavan markkinaosuutta yhä enemmän ja laajemmalle, mikä on osoittautunut todeksi. Vaikka PoP pääsääntöisesti rajoittuu mobiililaitteisiin, siitä on tullut käytetyimpiä pakkaustekniikoita eri hintaluokkien sovelluksissa. (S. C. Chong et al 2013; R. G. Clark, J. D. Poole) PoP on hyvin vahva ratkaisu vielä vuonna 2016:kin, eli Carsonin arviot osoittautuvat perustelluiksi (Ming-Che Hsieh 2016).

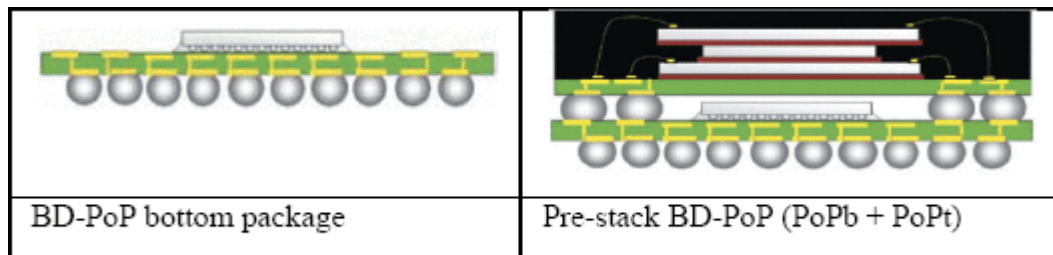
Yksi PoP:n parhaista puolista on tehonsyöttölinjojen eliminointi prosessorin ja muistin väliltä, kuten kuvassa 8 näkyy. Ulkoisen muistin data- ja ohjauslinjat eivät myöskään kulje enää prosessorin alle, mikä on valtava säästö viiveessä ja tarvittavien juotostasojen lukumäärässä. Yhteys tässä rakenteessa tapahtuu automaattisesti pakkausten liitoskohdissa, joka säästää resursseja huomattavasti. Tämän takia PoP on ajanut monet alkuperäiset valmistajat (OEM engl. original equipment manufacturer) käyttämään nimenomaan PoP:ia heidän suosimanaan pakkausratkaisuna muistia ja logiikkaa yhdistäville rakenteille. (K. Gutierrez, G. Coley 2009)



**Kuva 8.** Prosessori ja sen päällä oleva muisti PCB:llä (K. Gutierrez, G. Coley 2009)

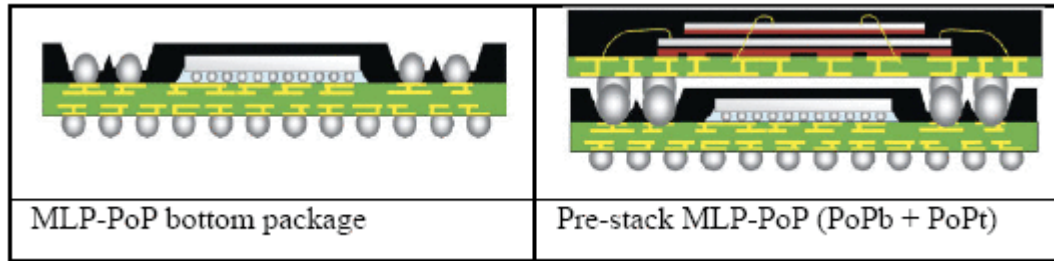
Kääntösiru sirunlaajuinen pakkaus (fcCSP, engl. Flip Chip Chip Scale Package) on myös yksi PoP:ia hyödyntävä teknologia, joka on kehitetty mobiilimarkkinoiden tarpeisiin. FcCSP on kehitetty sovelluksiin, missä tarvitaan suurta I/O:ta pieneen pakkaustilaan pienitehoisena kokonaisuutena. Sellaisenaan fcCSP:n ongelma on logiikkamoduulin ja fcCSP-moduulin välinen etäisyys, minkä vuoksi on kehitetty PoP:ia käyttävä ratkaisu, 3D-fcCSP, missä fcCSP ja logiikkamoduuli on pinottu päällekkäin. Tästä ratkaisusta on tullut yksi parhaita vaihtoehtoja applikaatioille, missä arvostetaan sen parhaita piirteitä, suurta suorituskykyä ja tehoa sekä pientä jalanjälkeä piirilevyllä (PCB, engl. Printed Circuit Board). (Ming-Che Hsieh 2016)

Kun fcCSP on tullut valtamarkkinoiden käyttämäksi teknologiseksi muisti-logiikka -pinojen muodostukseen, on myös harkittu fcPoP:ia ja sen matalaa pakkausprofiilia. Vuonna 2008 markkinoille tuli paljassiruinen pinottu pakkaus (BD-PoP, engl. Bare Die Package on Package). Pakkaus oli hyvä kehitysaskel fcCSP:stä, mutta sillä oli silti omat ongelmansa ja haasteensa, kuten käyristymiset ja samantasoisuuden aiheuttamat ongelmat. (Ming-Che Hsieh 2016)



**Kuva 9.** BD-PoP rakenne (Hsieh 2016)

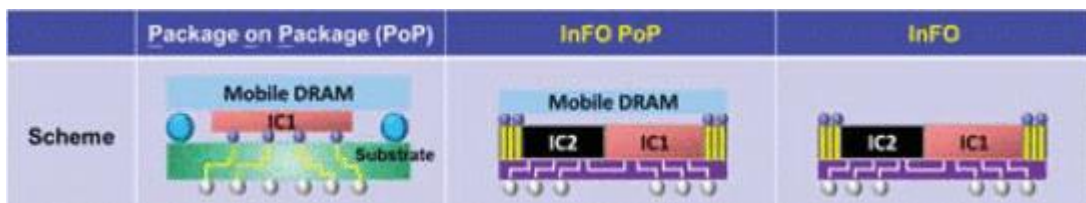
Jotta kuvan 9 BD-PoP:n rakenteesta päästäisiin toimintavarmempiin ja vieläkin matalampiin pakkauskokonaisuuksiin, kehitettiin muoviin valettu ja laserilla ohennettu Flip Chip PoP (MLP-PoP, engl. Molded Laser Package on Package) ja se julkaistiin vuonna 2011. Edelliseen tekniikkaan nähden pakkauskokonaisuutta paranneltiin täyttämällä aktiivisen piikiekon yläosa epoksiseoksella, jonka jälkeen juotospallot kaivettiin esiin laserkaivertamalla ne paljaaksi. (Ming-Che Hsieh 2016)



**Kuva 10.** MLP-PoP rakenne (Hsieh 2016)

Samoihin aikoihin kehitettiin ja julkaistiin vaihtoehtoinen teknologia MLP-PoP:n rinnalle, laserilla ohennettu muoviin valettu paljassiruinen PoP (ED MLP-PoP, engl. Expose Die Molded Laser Package on Package), joka hyödynsi kalvaa epoksikerroksen asettamisessa niin, että aktiivisen ytimen juotospallot ja sirua jäi paljaaksi sen kiinnityskohdista kuvassa 10 näkyvällä tavalla. Nämä kaksi teknologiaa tarjosivat parempaa toimivuutta käyritymistä ja samantasoisuutta ajatellen, ja ne mahdollistivat vielä tiheämpiä liitoksia ja pienempää sekä matalampaa pakkauskorkeutta. (Ming-Che Hsieh 2016)

Näitä teknologioita kehitettiin vieläkin eteenpäin, mutta ennen tämän linjan seuraavaa suurta evoluutiota markkinoille tuli erään toisen teknologian kautta uusi lupaava pakkausmalli. Muut uusimmat teknologiat ovat tehokkaita ja lupaavia, mutta tyypillisesti hintatasoltaan kalliita. Matalampikustannuksisten sovellusten tarpeeseen nousi integroitu levittäytyvä piitason sirukokoluokan pakkaus (InFO WLCSP, engl. Integrated Fan Out Wafer Level Chip Scale Package), ja sitä hyödyntävä kuvassa 11 näkyvä InFO PoP, joka koostuu yläpakkauksen DRAM-tyyppisestä muistista ja alaosan InFO-rakenteesta. (H. Chen et al 2017)



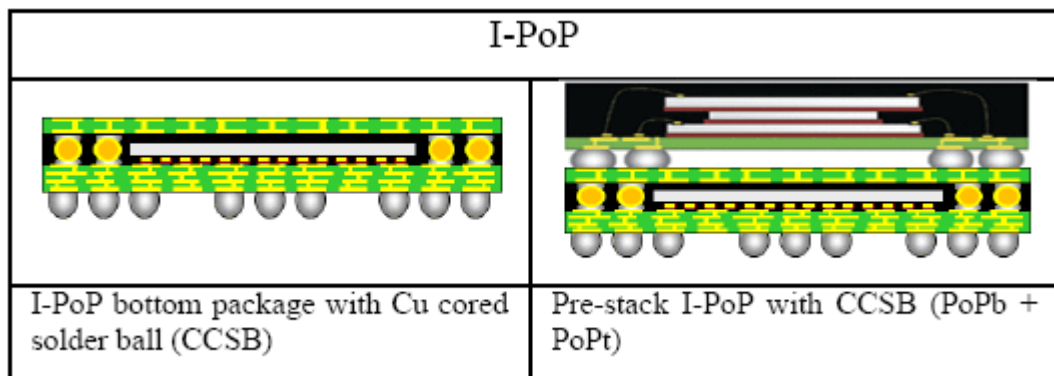
**Kuva 11.** PoP, InFO PoP ja InFO (H. Chen et al 2017)

InFO:n ero tavalliseen PoP:iin on se, että InFO PoP on yleensä noin 30% matalampi kuin perinteinen PoP, sillä se ei vaadi substraattia, vaan se viimeistelee pakkausprosessinsa piitasolla. InFO:n alapakkaus voi taas muodostaa osioita integroimalla kaksi sirua, jotka voivat suorittaa eri prosesseja ja joiden välinen yhteys hoidetaan uudelleenjakamislinjoilla (RDL engl. redistribution lines). InFO PoP:n ei ole tarkoitus olla

pysyvä ratkaisu, vaan se on suunniteltu olemaan väliaikaisesti paras teknologia omalla alallaan, kunnes generiset 3D-rakenteet kehittyvät hinta-laatusuhteeltaan tarpeeksi hyväksi korvaamaan InFO PoP:n. (H. Chen et al 2017)

MLP-PoP:n kehitys siirtyi vastaamaan kasvavaan I/O-tarpeeseen mobiilimarkkinoiden paketeilla. Yhtenä vahvana ratkaisuna kehitettiin Interposer PoP (I-PoP) suurten (>300) ja erittäin suurten (>500) I/O-määrien applikaatioihin. Näiden vahvuuksiin kuului 14x14mm ja 15x15mm kokoluokkien ylläpito sekä suurempien sirujen ja dynaamisen muistin lisääminen. (H. Chen et al 2017)

I-PoP koostuu kääntösirusta alapakkauksessa ja alapakkauksen yläosaan kiinnitetystä substraatista. Ylä- ja alasubstraatit voidaan kiinnittää toisiinsa esimerkiksi kuparipalloilla kuvan 12 esittämällä tavalla ja yläsubstraatin yhteyksien tiheys voi olla I/O-tarpeiden mukaan muokattavissa. Yläsubstraatti auttaa käyrityksen ja samantasoisuuden kanssa vielä enemmän kuin mikään edellä mainittu tekniikka. (H. Chen et al 2017)



**Kuva 12** I-PoP rakenne (Hsieh 2016)

Kaikki fcPoP tekniikat ovat uusimpia sirunlaajuista pakkausta (CSP, engl. Chip scale package) ja PoP:a hyödyntäviä tekniikoita ja ne on kehitetty mobiilimarkkinoiden kasvaviin tarpeisiin. Eri fcPoP:n tekniikat pystyvät vastaamaan erilaisiin vaatimuksiin, eli fcPoP kokonaisuudessaan on hyvin monipuolinen pakkausratkaisu. Chen (H. Chen et al 2017) arvioi fcPoP:n olevan parhaita vaihtoehtoja mukautuviin pakkausrakenteisiin ja suuriin suorituskykytarpeisiin keski- ja kalliimman luokan mobiilisovelluksissa. Hän myös arvioi, että se tulee olemaan mobiilisovelluksissa yksi käytetyimmistä pääpakkausratkaisuista. (H. Chen et al 2017)

### 3.2 Pinottujen pakkausten haasteita ja heikkouksia

Monet PoP:ia hyödyntävät ratkaisut ovat monimutkaisia ja vaativat paljon suunnittelutyötä ja testausta, mikä tekee monista pinottujen pakkausten teknologioista

melko kalliita (H. Chen et al 2017). PoP:n yleinen haaste on samantasoisuuden ja käyrityksen aiheuttamat ongelmat, jossa lämmön tai mekaanisen stressin aiheuttamat käyritykset voivat esimerkiksi katkoa yhteyksiä. Ideaalisesti PoP:in saanto on parempaa kuin esimerkiksi pinotuilla siruilla, mutta se vaatii useita testausvaiheita kokoonpanolinjoilla. (A. Yoshida et al 2006) PoP:n alkuaikoina lankaliitosmenetelmä oli ainoa metodi muodostaa yhteyksiä PoP:lle, ja tämä rajoitti suunnittelua suuren kokonsa ja mekaanisen herkkyytensä takia, tosin nykyään on monia vaihtoehtoja kuten BD-PoP (S. C. Chong et al 2013).

Käyritykset ovat myös siitä ongelmaisia, että moderneissa PoP:eissa yleisesti hyödynnetyt RDL:t ovat vaikeita rakentaa substraattien muodon ja asemointien vaihdellussa. Myös toimintavarmuus on saantoa laskeva asia, jota vastaan on mahdollista testata komponentteja ja paketteja, mutta se vaatii kustannuksia lisääviä investointeja. Yleisesti ottaen PoP:illa on verrattain heikompi saanto, mikä yleensä oletetaan käyrityksen aiheuttaman ylä- ja alapakkauksen liittämisen vaikeuden syyksi. (C. Chong et al 2013)

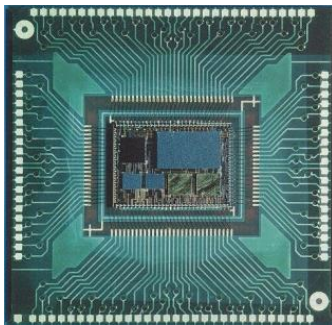
Lämpöratkaisut ovat erityisesti suuritehoisissa ratkaisuissa ongelmallisia, sillä yleensä applikaatioilla ei ole tilaa lisätä jäähdytyssovelluksia vapaasti, ja sen takia PoP:n heikentyneet lämpöominaisuudet saattavat vaikuttaa suunnitteluun ja suunnittelun rajoihin (S. C. Chong et al 2013). Koska yläpakkaus joutuu tyypillisesti hoitamaan valtaosan lämmönpoistostaan alapakkauksen lävitse, ellei ala- ja yläpakkauksella ole myös erillisiä lämmönpoistoteitä, alapakkauksen lämmönpoistokyky vaikuttaa yläpakkauksen tehosuorituskykyyn huomattavasti (C. Yang 2008). Toisaalta esimerkiksi lämpönielun lisääminen yläsubstraattiin voisi parantaa PoP-rakenteen lämpöominaisuuksia jopa 10% kasvattamatta jalanjälkeä, eli sen ainoa huono puoli olisi kasvaneet kulut (Y. Han et al 2015). Myös täyttömateriaalin (underfill) lisääminen alapakkauksen alaosaan parantaa sen lämpöominaisuuksia huomattavasti, mikä puolestaan parantaa yläpakkauksen teho- suorituskykyä (C. Yang 2008).

Yang (C. Yang 2008) testasi erästä PoP-rakennetta JEDEC pudotus- ja lämpöstandardien mukaisissa testeissä ja pääsi toteamaan, että alapakkauksen läpimitta vaikuttaa kokonaisstressitasoon ja PoP:n lämpöominaisuuksia voidaan merkittävästi parantaa lisäämällä pakkausten väliin ja alapakkaukseen täyttöainetta. (C. Yang 2008) On myös huomionarvoista, että PoP-rakenteiden hyödyntäessä pinottujen sirujen tekniikkaa, erityisesti PoP:n muistirakenteissa, PoP:in ongelmiin voidaan myös luetella monia pinottujen sirujen ongelmia, erityisesti PoP:in yläpakkauksilla.

## 4. PAKKAUKSENSISÄINEN JÄRJESTELMÄ

System in Package (SiP) eli pakkauksensisäinen systeemi on pakkausteknologia, jossa nimensä mukaisesti pakkauksen sisälle integroidaan eri siruja ja komponentteja muodostamaan kokonaisen, itsenäisen systeemin. SiP:n määritelmä täyttyy, jos mikä tahansa sen kolmesta vaatimuksesta toteutuu:

1. Yhden substraatin pakkaus, mihin on kiinnitetty kaksi tai useampi siru ja pakkaus on valettu muoviin esimerkiksi kuvan 13 tavalla.
2. Tiivis keraaminen, orgaaninen tai muuten jäykkä materiaali, mihin on kiinnitetty monta sirua muodostaen monisiruisen prosessorin ja muistijärjestelmän.
3. Pieni piirilevy, missä on monta sirua ja diskreettiä komponenttia, joka muodostaa systeemin jollekin lopputuotteelle (K. M. Brown 2004)

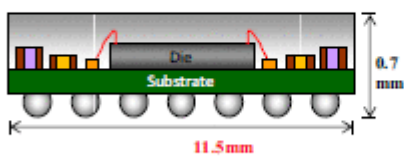
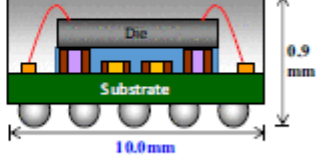


**Kuva 13.** Esimerkki ensimmäisen kriteerin täyttävästä SiP:stä (King L. Tai 2000)

SiP:n voi mieltää olevan paranneltu versio sirunlaajuisesta systeemistä (SoC, engl. System on Chip). SoC yrittää saada kaikki toiminnot yhden sirun ympärille, kuten SRAM-mikroprosessoreissa, mutta se on vaikeakäyttöistä ja kallista (K. M. Brown 2004). SiP puolestaan on yleisesti ottaen paremmalta vaikuttava ratkaisu, missä yksittäiset sirut voidaan optimoida niiden omien tarpeiden mukaan ja yhdistää isoksi kokonaisuudeksi pakkauksenlaajuisesti (K. M. Brown 2004), ja sen on tarkoitus olla SoC:ia tehokkaampi ja halvempi ratkaisu (King. L Tai 2000). SiP on yksi laajalle levinneistä tekniikoista, joita on kehitetty mobiililaitteiden kasvavien teho-, toiminto- ja kokovaatimuksien vuoksi (F. Santagata et al 2018). Erityisesti esineiden internet (IoT, engl. Internet of Things) -sovellukset tarvitsevat ja hyödyntävät SiP-teknologiaa muita pakkausteknologioita enemmän (M. Tsai et al 2017).

Nykytransistorien pieni koko on SiP:n suurin mahdollistaja, sillä se sallii jopa miljoonia transistoreita yhdelle sirulle kasvattamatta sirun kokoa (King. L. Tai 2000). SiP itsessään pohjautuu CSP:hen, ja koska moderneissa pakkauksissa xy-tason tila on luksusta, SiP on kehittynyt perustumaan 3D-rakenteisiin – tätä näkee muun muassa myös 3D-CSP:ssä (K. M. Brown 2004; M. Tsai et al 2017). Yhtenä teknologian keulahahmoina pidetään professori Ernest Kuhia, joka on edesauttanut teknologian kehitystä alusta asti ja häntä pidetään avain- hahmona vuonna 2000 virallistettuun nimeen ”System in Package” (W. Wei-Ming Dai 2016).

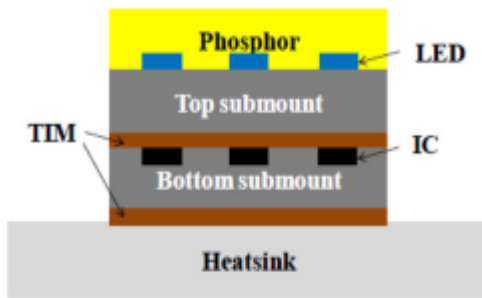
3D-SiP:n mahdollistaja on erityisesti se, että pienellä lisäinvestoinnilla ja pakkauksen korkeuden kasvattamisella pakkauksen kokonaispinta-alaa voidaan pienentää merkittävästi kuvassa 14 näkyvällä tavalla. 3D SiP on halvempi tuottaa linjojen muuttamisen jälkeen, se tarjoaa pienempää jalanjälkeä pakkauksille ja parempaa integraation tasoa, eli se on alkusijoitusten jälkeen selvästi kiinnostava ratkaisu niin kauan, kun esimerkiksi kasvava korkeus ei ole esteenä. (M. Tsai et al 2017)

Item	Traditional Package (2D Side by Side)	New TV SiP (3D Stacking Die on Passive)
Dimension (mm)	11.5 x 11.5	10.0 x 10.0
Layout Simulation		
PKG Z-Height	0.7mm	0.9mm

Kuva 14. SiP ja 3D-SiP vertailu (M. Tsai et al 2017)

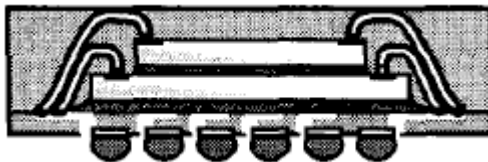
#### 4.1 SiP:n käyttökohteita ja tekniikoita

3D-pinoaminen on integroitu SiP:n perusideoihin sen ominaisuuksien parantamiseksi, ja sen sirujenvälisiä yhteyksiä on hoidettu esimerkiksi TSV:llä (B. J. Barbara 2017). Tyypillisesti SiP sisältää mikroelektromekaanisia systeemeitä (MEMS engl. Micro-ElectroMechanical System), optisia komponentteja ja muita pakkauksia sekä laitteita (F. Santagata et al 2018). Yksi lupaava 3D-SiP:n käyttökohde on älyvalot, joissa pakkaukseen sisältyy kuvan 15 mukaisesti valodiodeja (LED, engl. Light Emitting Diode), ajurit ja ohjausyksiköt. Piin TSV:tä varten tarvittu 3D-rakenne yleensä toteutetaan etsaamalla. (F. Santagata et al 2018)



**Kuva 15.** Esimerkki SiP toteutuksesta (F. Santagata et al 2018)

SiP:n alkuvaiheilla yksi käytetyimmistä ja ensimmäisistä SiP rakenteista oli 2 sirun muodostama flash ja SRAM -rakente, jonka tekniikka oli nimeltään pinottu sirunlaajuinen pakkaus (SCSP, engl. Stacked Chip Scale Package). Kuvassa 16 on yksi ensimmäisistä 3D SiP:n massatuotetuista malleista, jossa on pinottuna flash- ja SRAM-muistirakenne. Pakkausteknologian kehitys lähti kahteen kehityssuuntaan: Pakkauksen pienentämiseen ja suuremman sirumäärän pinoamiseen. (K. M. Brown 2004) Näihin aikoihin kehityshaasteisiin ei enää lueteltu niinkään transistorien absoluuttista määrää siruissa, vaan transistorien keskinäistä harmonista toimintaa, mikä olisi ennalta-arvattavaa ja missä sirut pystyisivät suorittamaan monimutkaisia toimintoja edullisesti. Tai (King L. Tai 2000) tarkoittaa transistorien harmonisella toiminnalla sitä, että erilaiset transistorit suorittavat monenlaisia toimintoja muodostaakseen suurempia toimintokokonaisuuksia häiritsemättä toistensa toimintaa. (King L. Tai 2000)



**Kuva 16.** flash ja sram -muistirakenne (K. M. Brown 2004)

Kuten edellä mainittiin, ensimmäiset 3D-SiP -rakenteet sisälsivät aluksi vain kaksi sirua, ja pakkausten kokonaiskorkeus oli 1.4 mm. Tekniikkaa kehitettiin nopeasti kuitenkin siten, että saman korkuiseen pakkaukseen sai enemmän siruja, esimerkiksi Intelin pakkauksilla 2000-luvun alussa oli jopa 5-6 sirua 1.4 mm korkeassa pakkauksessa. Muisti-logiikka-malli tuli myös hyvin yleiseksi pakkausrakenteeksi, joka esiintyi myös PoP-in teknologioissa. (K. M. Brown 2004)

Brown kuvailee SiP:n ydinarvojen olevan laskentakyvyn maksimoiminen ja piin suorituskyky sekä systeemin toiminnallisuus ja muistin tiheys mahdollisimman pienessä pakkauskoossa. Hän myös mainitsee, että SiP-ratkaisun saanto ja hinta suuren voluumin tuotannoissa on indikaattori siitä, onko jokin SiP-sovellus optimoitu. (K. M.



Brown 2004) SiP on johtava teknologia erityisesti IoT:ssä, jossa yhdistetään monien eri ytimien toimintoja yhteen pakettiin, kuten ASIC:eja, flash-muisteja ja radiotaajuussovelluksia (M. Tsai et al 2017).

IoT-sovellukset, jotka tarvitsevat suuria I/O-määriä, pientä kokoa ja suurta integraation tasoa, ovat erityisen sopiva markkina 3D SiP -sovelluksille. Tämä tuli ilmi erityisesti Tsain ja hänen kollegoidensa tutkimuksesta, jossa 3D SiP -tekniikan ratkaisuja testattiin IoT:n sovelluksiin ja puettaviin sovelluksiin. Testeissä ei tullut laadun eikä kestävyuden kannalta ongelmia ja 3D SiP mahdollisti paremman toiminnan. (M. Tsai et al 2017)

Nykyään SiP on kovassa käytössä älypuhelimissa, älykkäissä puettavissa laitteissa, kuten smart-rannekelloissa ja IoT sovelluksissa, ja vuosittain tuotetaan miljardeja siruja SiP-sovelluksia varten (W. Wei-Ming Dai 2016). SiP:n myös katsotaan olevan tärkeä osa uuden tason miniatyrisointia, sillä se mahdollistaa monen eri teknologian integroimisen (A. Martins et al 2018).

## 4.2 SiP:n haasteita ja ongelmia

Koska SiP hyödyntää monia muiden pakkaustekniikoiden teknologioita, siihen liittyy SiP:lle ominaisten ongelmien lisäksi monissa sovelluksissa myös muunlaisten pakkausteknologioiden ongelmia. Erityisesti 3D-pinotut sirut ja joissakin määrissä PoP:iin liittyvät haasteet vaikuttavat moniin SiP-sovelluksiin. (K. M. Brown 2004)

Omana ongelmanaan SiP:llä on muun muassa integraation monimutkaisuus, missä erilaisten ytimien ja sirujen lisääminen rajalliselle substraatille vaikeuttaa suunnittelua merkittävästi (M. Tsai et al 2017). Kun pakkaus monesti halutaan suunnitella sellaiseksi, että se on mahdollista integroida PoP-rakenteeseen, suunnittelu monimutkaistuu edelleen (A. Martin et al 2018).

Kun SiP:n pakkauskoko on äärimmäisen pieni, yksi suunnitteluongelma on myös suuntauksettoman antennin integroiminen pakkauksen sisään siten, että antenni ei tarvitse erillistä maatasoa ja kaikki antennin toimintaan liittyvät komponentit olisivat SiP:n sisällä. Antenniin liittyviä haasteita on jouduttu ratkaisemaan antennien miniatyrisointiin liittyvillä tekniikoilla, joilla parannetaan antennin suorituskykyä. (A. Martin et al 2018)

## 5. YHTEENVETO

3D-pakkausmenetelmät ovat tärkeä ja moderni pakkausratkaisu tilakriittisiin sovelluksiin. Teknologioiden kehitys alkoi ennen 2000-lukua ja teknologian tärkeys oli havaittu jo 2000-luvun alkuvaiheilla, ja se on siitä lähtien kehittynyt nopeasti eri tekniikan haaroille. 3D-pakkausmenetelmät ovat luonnollinen kehityksenhaara teknologiassa, sillä fysiikan lakien tullessa vastaan perinteisessä suunnittelussa oli luonnollista harkita kolmatta ulottuvuutta pakkaustiheyden kasvua varten. Ainoita merkittäviä heikkouksia pinotuille pakkausmenetelmille ovat sen nykyinen tuotantolinjojen hinta ja suunnittelun haasteellisuus, mikä on vuosien kuluessa kehittynyt yhä parempaan suuntaan.

Pinottujen sirujen rakenne oli maailman ensimmäinen 3D-pakkausmenetelmä, ja ne ovat edelleen tärkeä osa teknologiaa. Sovellukset eivät pyöri pinottujen sirujen ympärillä enää, mutta valtaosa moderneistakin teknologioista käyttää pienitehoisissa yksiköissä nimenomaan pinottuja siruja osana suurempaa kokonaisuutta.

PoP puolestaan on teknologia, joka on kovassa käytössä mobiilisovelluksissa nykypäivänäkin. PoP hyödyntää usein pinottujen sirujen teknologiaa etenkin yläpakkauksissa, ja joissakin moderneissa erityisratkaisuisissa se saattaa myös hyödyntää SiP:iä eri pakkauksissaan.

Tekniikkana SiP tuntuu olevan seuraava teknologisten harppausten mahdollistaja 3D-sovelluksissa, sillä se tarjoaa parhainta mahdollista integraation tasoa ja täten sallii pienimpiä kokonaissovelluksia, jotka takaavat kuitenkin hyvän suorituskyvyn ja matalan tehonkulutuksen. Kuten PoP, SiP hyödyntää useasti pinottujen sirujen rakennetta. Alkuvaiheilla SiP oli rajoittunut 2D-teknologiaan, mutta nykyään SiP:iä hyödyntäessä tarvitaan tyypillisesti korkeaa integraation tasoa ja pientä kokoa, jonka vuoksi 3D SiP:in voi periaatteessa mieltää moderniksi SiP teknologiaksi.

Käytön kannalta pinotut sirut ovat kaikista helpoimmin yleistettävissä oleva rakenne, kun taas SiP ja PoP ovat vaikeammin yleistettäviä rakenteita. Isommilla pakkauskokonaisuuksilla on enemmän toimintoja ja vähemmän paketin ulkopuolen kautta muutettavuutta, jonka vuoksi ennalta suunniteltujen pakkauskokonaisuuksien käytössä tulee suuremmilla toteutuksilla helpommin turhia tai jopa haitallisia toimintoja mukaan. Tämä näkyy myös siinä, kuinka paljon suunnittelutyötä tyypillisesti menee eri pakkausmetodeilla pakkausten suunnitteluun.

On kehitetty monenlaisia eri tekniikoita, mutta tällä hetkellä käytännössä kaikki 3D-pakkausmenetelmät voidaan luetella kuuluvan ainakin yhteen tässä tutkielmassa käsiteltyyn aihepiiriin, pinottuihin siruihin, PoP:iin tai SiP:iin. Monet ratkaisut hyödyntävät näitä tekniikoita toistensa kanssa, ja komponentteja suunnitellaan nämä tekniikat mielessä.

Yleisesti ottaen nämä pakkausmenetelmät ovat toinen toisiaan hyödyntäviä menetelmiä, jotka kehittyvät toisaalta omilta ominaisuuksiltaan, mutta toisaalta myös yhteisiltä osaluonteiltaan, missä kaikki eri tekniikat pystyvät hyödyntämään samoja läpimurtoja. Vaikka tekniikan kehitys on mennyt tasaisesti eteenpäin, vanhat teknologiat eivät ole jääneet turhiksi, vaan valtaosille niistä löytyy omat käyttökohteensa. 3D-tekniikat tulevat jatkamaan Mooren ja More-than-Mooren mukaisen kehityksen mahdollistamista vielä vuosikymmeniä.

Yleisellä tasolla 3D-teknologia ei ole virheetöntä, joten jos sovelluksilla ei ole kallista xy-dimensiota, niin laskenut saanto, suunnittelun monimutkaisuus ja tuotannon vaikeus monesti ajavat teollisuutta harkitsemaan 3D-teknologioiden tarpeellisuutta. Uskon kuitenkin, että tekniikan edetessä tarpeeksi pitkälle 3D-pakkausmenetelmistä tulee valtavirran teknologia kaikissa monisiruisissa sovelluksissa, sillä pieni koko takaa myös pienen tehonkulutuksen ja kevyen painon. Kyse on vain siitä, kuinka kauan menee suunnittelun ja tuotannon kustannusten tarpeeksi suureen laskuun myös muille elektronisille sovelluksille.

## LÄHTEET

- B. J. Barbara - The Package Becomes the System. Julkaistu Additional Conferences (Device Packaging, HiTEC, HiTEN, & CICMT), 2017 nidos, DPC painos, p. 1-36, tammik. 2017 Saatavissa: [https://imapsource.org/doi/abs/10.4071/2017DPC-WP1\\_Presentation1?mobileUi=0](https://imapsource.org/doi/abs/10.4071/2017DPC-WP1_Presentation1?mobileUi=0)
- B. Black, M. Annaram, N. Brekelbaum, J. DeVale, L. Jiang, G. H. Loh, D. McCaule, P. Morrow, D. W. Nelson, D. Pantuso, P. Reed, J. Rupley, S. Shankar, J. Shen, C. Webb - Die Stacking (3D) Microarchitecture. IEEE mikroarkkitehtuurin vuotuinen konferenssi 2006, lisätty IEEE xplore 26.12.2006. Saatavissa: <https://ieeexplore-ieee-org.libproxy.tuni.fi/document/4041869/authors#authors>
- K. M. Brown - System in package "the rebirth of SiP". Julkaistu 6.10.2004 IEEE 2004 Custom Integrated Circuits konferenssi (IEEE Cat. No.04CH37571). Lisätty IEEE xplore 22.11.2004. Saatavissa: <https://ieeexplore-ieee-org.libproxy.tuni.fi/document/1358919>
- F. Carson - Innovations push Package on Package into new markets. Julkaistu Semiconductor International:ssa huhtikuu 1. 2010. Saatavissa: <https://www.itfind.or.kr/COMIN/file18475-Innovations%20Push%20Package%20on%20Package%20Into%20New%20Markets.pdf>
- H. Chen, Hung-Chih Lin, Ming-Jer Wang - Fan-out wafer level chip scale package testing. Julkaistu kansainvälisessä vuotuisessa testikonferenssissa Aasiassa (ITC-Asia) 13-15 syysk. 2017, lisätty IEEE xplore 7. marrask. 2017. Saatavissa: <https://ieeexplore-ieee-org.libproxy.tuni.fi/document/8097117>
- L. Chen, J. Adams, Hsing-Wei Chu, Xuejun Fan - Modeling of moisture over-saturation and vapor pressure in die-attach film for stacked-die chip scale packages. Julkaistu Journal of Materials Science. Materials in Electronics, New York, 27. Vuosikerta, 1. Painos, 2016. ss. 481-488. Saatavissa: <https://search-proquest-com.libproxy.tuni.fi/docview/1755754755/abstract/4BBCFE2EB4E24DEAPQ/1?accountid=14242>
- S. C. Chong, D. H. S. Wee, V. S. Rao, N. S. Vasarla - Development of Package-on-Package Using Embedded Wafer-Level Package Approach. Julkaistu IEEE Transactions on Components, Packaging and Manufacturing Technology, 3. Vuosikerta, 10. Painos, Lokak. 2013, s. 1654-1662. Saatavissa: <https://oar.a-star.edu.sg/jspui/bitstream/123456789/121/1/PUB12-370%20IPP-011.pdf>
- W. Wei-Ming Dai - Historical Perspective of System in Package (SiP). Julkaistu IEEE Circuits and Systems lehdessä, 16. Vuosikerta, 2. Painos, 2016 ss.50-61. Saatavissa: <https://ieeexplore-ieee-org.libproxy.tuni.fi/document/7476948>
- K. Gutierrez, G. Coley - PCB Design Guidelines for 0.4 mm Package-On-Package (PoP) Packages, Part I. Julkaistu Texas Instruments kautta toukokuu 2009. Saatavissa: [http://e2e.ti.com/cfs-file/\\_\\_key/communityserver-discussions-components-files/537/4370.spraav1b.pdf](http://e2e.ti.com/cfs-file/__key/communityserver-discussions-components-files/537/4370.spraav1b.pdf)

Y. Han, B. L. Lau, B. Y. Jung, X. Zhang - Heat Dissipation Capability of a Package-on-Package Embedded Wafer-Level Package. Julkaistu IEEE Design & Test (32. Vuosikerta, 4. Painos, elok. 2015) ss. 32-39. Saatavissa: <https://oar.a-star.edu.sg/jspui/bitstream/123456789/1167/1/PUB15-157%20IPP-020%20%28PP%29.pdf>

Ming-Che Hsieh - Advanced flip chip package on package technology for mobile applications. Julkaistu 2016 17. Kansainvälisessä elektroniikan pakkausteknologian konferenssissa (ICEPT), lisätty IEEE xplore 6.10.2016. Saatavissa: <https://ieeexplore-ieee-org.libproxy.tuni.fi/document/7583181>

C. Y. Li, Z. K. Hua, Y. X. Luo, L. Q. Cao, J. H. Zhang - Investigation of the moisture impact on the stacked die package. IEEE elektroniikan konferenssi 1-4.9.2008, lisätty IEEE xplore 21.11.2008. Saatavissa: <https://ieeexplore-ieee-org.libproxy.tuni.fi/document/4684519>

A. Martins, M. Pinheiro, A. F. Ferreira, R. Almeida, F. Matos, J. Oliveira, R. P. Silva, H. Santos, M. Monteiro, H. Gamboa - Heterogeneous Integration Challenges Within Wafer Level Fan-Out SiP for Wearables and IoT. Julkaistu 2018 IEEE 68. Elektroniikan komponenttien ja teknologian konferenssissa (ECTC) 29.5.2018. Saatavissa: <https://ieeexplore-ieee-org.libproxy.tuni.fi/document/8429739>

M. Rencz - Thermal issues in stacked die packages. IEEE vuotuinen puolijohteiden lämmönmittaus ja -hallinta konferenssi 2005, lisätty IEEE xplore 4.4.2005. Saatavissa: <https://ieeexplore-ieee-org.libproxy.tuni.fi/document/1412197>

K. Sakuma, P. S. Andry, C. K. Tsang, K. Sueoka, Y. Oyama, C. Patel, B. Dang, S. L. Wright, B. C. Webb, E. Sprogis, R. Polastre, R. Horton, J. U. Knickerbocker - Characterization of stacked die using die-to-wafer integration for high yield and throughput. Julkaistu 2008 IEEE 58. Elektroniikan komponenttien ja teknologian konferenssissa (ECTC) Toukok. 2008. Saatavissa: <https://ieeexplore-ieee-org.libproxy.tuni.fi/document/4549944>

F. Santagata, J. Sun, E. Iervolino, H. Yu, F. Wang, Guoqi Zhang, P. M. Sarro, Guoyi Zhang - Julkaistu Microelectronics International, Bradford, 35. Vuosikerta, 4. painos, 2018, ss. 231-243. Saatavissa: <https://search-proquest-com.libproxy.tuni.fi/docview/2131077763/fulltext/BCB174DC271148B3PQ/1?accountid=14242>

King L. Tai - System-In-A-Package (SIP): Challenges and opportunities. Julkaistu suunnittelun automatisaation konferenssissa, 2000, ASP-DAC 2000, Aasia ja Etelä-Tyynimeri. Lisätty IEEE xplore 6.7.2002. Saatavissa: <https://ieeexplore-ieee-org.libproxy.tuni.fi/stamp/stamp.jsp?tp=&arnumber=835095>

M. Tsai, A. Lan, C. L. Shih, T. Huang, R. Chiu, S. L. Chung, J. Y. Chen, F. Chu, C. K. Chang, S. M. Yang, D. Chen, N. Kao - Alternative 3D Small form Factor Methodology of system in Package for IoT and Wearable Device Application. Julkaistu 2017 IEEE:n 67. Elektroniikan komponenttien ja teknologian konferenssissa (ECTC). Saatavissa: <https://ieeexplore-ieee-org.libproxy.tuni.fi/document/7999886>

L. Wu, Yu-Po Wang, S.C. Kee, B. Wallace, C. S. Hsiao, C. K. Yeh, T. D. Her, R. Lo - The Advent of 3-D Package Age. IEEE elektroniikan konferenssi 3.3.2000, lisätty IEEE xplore tietokantaan 06.08.2002. Saatavissa: --- <https://ieeexplore-ieee-org.libproxy.tuni.fi/stamp/stamp.jsp?tp=&arnumber=910714>

C. Yang - Thermal Characterization of Package-on-Package (PoP) Configuration through Modeling. IEEE 10. Elektroniikan pakkausteknologian konferenssi 2008, julkaistu IEEE xplore 27.1.2009. Saatavissa: <https://ieeexplore-ieee-org.libproxy.tuni.fi/document/4763519>

A. Yoshida, J. Taniguchi, K. Murata, M. Kada, Y. Yamamoto, Y. Takagi, T. Notomi, A. Fujita - A study on package stacking process for package-on-package (PoP). Julkaistu Elektronisten komponenttien ja teknologian 56. Konferenssissa 2006. Saatavissa: <https://ieeexplore-ieee-org.libproxy.tuni.fi/document/1645753>

M. Zhang - SanDisk Unleashes a Massive 512GB SD Card with the World's Highest Capacity. Artikkelijulkaistu PetaPixel:ssä 11.9.2014. Saatavissa: <https://petapixel.com/2014/09/11/sandisk-unleashes-massive-512gb-sd-card-worlds-highest-capacity/>