

Eero Talus

**ELEKTRONIIKKAPROJEKTIN TUONTI  
PADS-OHJELMISTOSTA ALTIUM DESIGNER  
-OHJELMISTOON**

Kandidaatintyö  
Informaatioteknologian ja viestinnän tiedekunta  
Tarkastaja: Yliopistonlehtori Erja Sipilä  
Elokuu 2022

# TIIVISTELMÄ

Eero Talus: Elektroniikkaprojektin tuonti PADS-ohjelmistosta Altium Designer -ohjelmistoon  
Kandidaatintyö  
Tampereen yliopisto  
Tieto- ja sähkötekniikan kandidaattiohjelma  
Elokuu 2022

---

Elektroniikkalaitteiden suunnittelussa käytetään nykyään tietokoneavusteista suunnittelua, joka helpottaa suunnitteluprosessia ja automatisoi siinä usein toistuvia tai virhealttiita vaiheita. Suunnittelun perustana ovat eri valmistajien tuottamat CAE-ohjelmistot (engl. computer-aided engineering, CAE), jotka sisältävät laitteen suunnitteluun vaadittavat työkalut yhdessä ohjelmistopakettissa. Eri valmistajien ohjelmistot ovat kuitenkin usein yhteensopimattomia keskenään, minkä vuoksi ohjelmistosta toiseen siirtyminen esimerkiksi ohjelmistotuen loppuessa voi aiheuttaa ongelmia.

Tässä työssä tutkitaan PADS- ja Altium Designer -ohjelmistojen välistä yhteensopivuutta. Työn tavoitteena on selvittää, onko PADS-ohjelmistolla suunnitellun elektroniikkaprojektin tuonti Altium Designer -ohjelmistoon mahdollista kohtuullisella työmäärällä. Työssä on kaksi osaa: kirjallisuustutkimusosa sekä projektiosa. Kirjallisuustutkimusosassa esitetään CAE-ohjelmistojen keskeisiä ominaisuuksia ja tutkitaan niiden toteutuksia PADSissä ja Altium Designerissä. Osan tavoitteena on etsiä ohjelmistoista eroja, jotka voivat aiheuttaa ohjelmistojen välisiä yhteensopivuusongelmia. Projektiosassa eräs PADS-projekti tuodaan Altium Designeriin käyttäen Altium Designeriin sisäänrakennettua projektien tuontityökalua. Projektiosan tavoitteena on selvittää myös käytännössä, onko projektin tuonti PADSistä Altium Designeriin mahdollista, millaisia yhteensopivuusongelmia ohjelmistojen välillä on ja millaisia virheitä yhteensopivuusongelmat aiheuttavat tuotuun projektiin. Virheitä etsitään vertaamalla tuonnin jälkeistä Altium Designer -projektia alkuperäiseen PADS-projektiin eri menetelmillä. Lisäksi tuonnin yhteydessä arvioidaan virheiden vakavuutta ja selvitetään niille korjausratkaisuja.

Työ osoittaa, että elektroniikkaprojekti voidaan tuoda PADS-ohjelmistosta Altium Designer -ohjelmistoon kohtuullisella työmäärällä, vaikka ohjelmistojen välillä on joitain olennaisia yhteensopivuusongelmia. Projektiosassa yhteensopivuusongelmat ilmenivät sekä piirikaavioon että piirilevylle syntyneinä lukuisina virheinä. Virheet voitiin kuitenkin korjata kohtuullisessa ajassa joko automatisoidusti tai käsin. Työssä esitettyä virheenetsintäprosessia sekä havaittuja virheitä ja niiden korjausratkaisuja voidaan hyödyntää myös tulevaisuudessa uusien projektien tuonneissa. Tulosten soveltamista rajoittaa kuitenkin se, että tuonti suoritettiin vain yhdelle projektille, minkä perusteella ei välttämättä havaittu kaikkia mahdollisia virheitä. Lisäksi syntyvät virheet voivat muuttua uusien ohjelmistoversioiden myötä. Tulokset antavat silti hyvän yleiskuvan tuontiprosessin toimivuudesta ja tyyppillisistä virheistä.

Avainsanat: Altium Designer, PADS, yhteensopivuus, elektroniikkasuunnittelu, piirikaavio, piirilevy

Tämän julkaisun alkuperäisyys on tarkastettu Turnitin OriginalityCheck -ohjelmalla.

## ALKUSANAT

Tämän kandidaatintyön aihe ja projekti ovat peräisin työnantajaltani Wapice Oy:ltä. Projektin perimmäisenä tavoitteena oli selvittää, pystymmekö tulevaisuudessa siirtämään PADS-ohjelmistolla suunniteltuja elektroniikkaprojekteja Altium Designeriin, jonka käyttö on yleistymässä Suomen elektroniikkateollisuudessa. Työstin kandidaatintyötä ja siihen liittyvää projektia vuoden 2022 toukokuusta elokuuhun muiden työprojektien ohella, ja projekti oli minulle erinomainen mahdollisuus tutustua PADS- ja Altium Designer -ohjelmistojen toimintaan hyvin syvällisesti.

Haluan kiittää työnantajaani Wapicea käytännönläheisestä ja kiinnostavasta kandidaatintyön aiheesta, ja ennenkaikkea työstä, jossa saan kehittyä teknologiaosaajana jokaisena työpäivänä. Lisäksi haluan kiittää kaikkia kollegoitani, jotka tekivät omalta osaltaan kandidaatintyön kirjoitusajasta ikimuistoisen.

Tampereella, 23. elokuuta 2022

Eero Talus

## SISÄLLYSLUETTELO

1.	Johdanto . . . . .	1
2.	Tietokoneavusteinen elektroniikkasuunnittelu . . . . .	3
2.1	Elektroniikkalaitteen tuotesuunnittelu . . . . .	3
2.2	Piirikaavion piirto . . . . .	4
2.3	Hierarkkinen suunnittelu . . . . .	5
2.4	Piirilevysuunnittelu . . . . .	7
2.5	Suunnittelusäännöt ja virheentarkastus . . . . .	8
3.	PADS ja Altium Designer -ohjelmistot. . . . .	9
3.1	Historiakatsaus . . . . .	9
3.2	Yleiskatsaus ohjelmistoihin . . . . .	10
3.3	Tiedostomuodot ja niiden yhteensopivuus . . . . .	10
3.4	Toiminnallinen yhteensopivuus . . . . .	12
3.4.1	Ohjelmistojen projektirakenne . . . . .	12
3.4.2	Piirikaaviotyökalujen yhteensopivuus . . . . .	13
3.4.3	Piirilevytyökalujen yhteensopivuus . . . . .	15
3.4.4	Kirjastojen yhteensopivuus . . . . .	17
3.4.5	Virheentarkastuksen erot . . . . .	17
4.	Projektin tuonti PADS -ohjelmistosta Altium Designer -ohjelmistoon. . . . .	19
4.1	Elektroniikkaprojektin tuontiprosessi . . . . .	19
4.2	Piirikaavion tuonnin suoritus . . . . .	20
4.3	Piirilevyn tuonnin suoritus . . . . .	21
4.4	Piirikaavion ja piirilevyn jälkikäsitteleminen . . . . .	22
5.	Tuontiprosessissa syntyneet virheet . . . . .	24
5.1	Piirikaavion virheet . . . . .	24
5.2	Piirilevyn virheet . . . . .	25
5.2.1	Kuparikerrosten virheet. . . . .	26
5.2.2	Mekaanisten kerrosten virheet . . . . .	29
5.3	Virheiden analyysi . . . . .	31
6.	Yhteenveto . . . . .	33
	Lähteet . . . . .	36

Liite A: PADS-ohjelmiston ASCII-tiedostojen tallennustyökalut . . . . .	38
A.1 PADS Logic -sovelluksen ASCII-työkalu . . . . .	38
A.2 PADS Layout -sovelluksen ASCII-työkalu . . . . .	39
Liite B: Altium Designer -ohjelmiston projektien tuontityökalu . . . . .	41
Liite C: Projektin tuonnissa syntyneet virheet . . . . .	46

## KUVALUETTELO

2.1	Elektroniikkalaitteen iteratiivinen tuotesuunnitteluprosessi, perustuu lähteeseen [5, luku 19.1]. . . . .	4
2.2	Esimerkki Altium Designer -ohjelmiston mukana tulevasta N-tyyppin kanavatransistorin piirikaaviosymbolista ja vastaavasta piirilevydekaalista. . . .	5
2.3	Hierarkkisen piirikaaviosuunnittelun perusperiaatteena toimivat horisontaaliset ja vertikaaliset yhteydet, perustuu lähteeseen [2]. . . . .	6
2.4	Esimerkki piirilevyn kerrospinosta, perustuu lähteeseen [7, luku 4.1.7]. . . .	7
3.1	Esimerkki PADSissä käytetyistä yksinastaisista liitinsymboleista, joita ei tueta Altium Designerissä. . . . .	13
3.2	Altium Designer -ohjelmiston verkkojen kytkeytyminen piirikaaviosivujen välillä, perustuu lähteeseen [2]. . . . .	14
3.3	PADS-ohjelmiston (a-puoli) ja Altium Designer -ohjelmiston (b-puoli) estoalueiden asetukset. . . . .	16
4.1	PADS-projektin tuontiprosessi. . . . .	20
A.1	PADS Logic -sovelluksen ASCII-muotoisen piirikaavion tallennusikkuna. . .	38
A.2	PADS Layout -sovelluksen ASCII-muotoisen piirilevyn tallennusikkuna. . .	39
B.1	Projektien tuontityökalun alkunäkymä. . . . .	41
B.2	Lähdetiedostojen tiedostomuodon valinta. . . . .	42
B.3	Piirikaavio- ja piirilevytiedostojen valinta. . . . .	42
B.4	Symboli- ja dekaalikirjastojen valinta. . . . .	43
B.5	Piirilevyn kerrosten asetukset. . . . .	43
B.6	Projektin tuonnin yleiset asetukset. . . . .	44
B.7	Piirilevyn tuonnin asetukset. . . . .	44
B.8	Projektin tuonnin esikatselunäkymä. . . . .	45
C.1	Piirikaavion tuonnissa syntyneet virheet A1-A8. . . . .	46
C.2	Piirilevyn tuonnissa syntyneet kuparikerrosten virheet B1-B10. . . . .	47
C.3	Piirilevyn tuonnissa syntyneet kuparikerrosten virheet B11-B16. . . . .	48
C.4	Piirilevyn tuonnissa syntyneet mekaanisten kerrosten virheet C1-C6. . . .	49

## TAULUKKOLUETTELO

3.1	PADS- ja Altium Designer -ohjelmistojen tuottamat tiedostot ja niiden vastaavuudet, perustuu lähteisiin [15, 13, 2]. . . . .	11
4.1	Piirikaavion tuontiasetukset. . . . .	20
4.2	Piirilevyn tuontiasetukset. . . . .	21
5.1	Virheet ryhmiteltynä vakavuuden suhteen. . . . .	31
5.2	Virheet ryhmiteltynä korjauksen vaatiman työmäärän suhteen. . . . .	32
6.1	Yhteenveto olennaisista PADSin ja Altium Designerin välisistä yhteensopivuuksongelmista. . . . .	34
6.2	Virheiden lukumäärät vakavuuden ja korjauksen vaatiman työmäärän suhteen. . . . .	34
C.1	Muut projektin tuonnissa syntyneet virheet. . . . .	50

## LYHENTEET JA MERKINNÄT

ASCII	tietokoneissa käytettävä standardoitu merkistö (engl. American standard code for information interchange)
BOM	osaluettelo (engl. bill of materials)
CAE	tietokoneavusteinen suunnittelu (engl. computer aided engineering)
DRC	suunnittelusääntöjen tarkastus (engl. design rules check)
ECO	CAE-ohjelmistojen ominaisuus piirikaaviomuutosten viemiseen piirilevyllä (engl. engineering change order)
ERC	sähköisten sääntöjen tarkastus (engl. electrical rules check)
IPC 4761	IPC-standardointiorganisaation läpivientien suojaamiseen keskittynyt suunnitteluohje
NFP	piirilevyllä oleva käyttämätön kuparikaulus (engl. non-functional pad)
RS-274X Gerber	johdotuskuvien tallentamiseen käytetty tiedostomuoto



# 1. JOHDANTO

Elektroniikkalaitteen suunnittelu on moniosainen prosessi, jossa tuoteidean ja korkean tason määrittelyiden pohjalta tuotetaan laitteen valmistamiseen tarvittavat fyysisten komponenttien ja kytkentöjen määrittelyt [5, luku 16.3]. Nykyään elektroniikka-suunnittelussa käytetään lähes yksinomaan tietokoneavusteista suunnittelua (engl. computer aided engineering, CAE), eli tietokonesovelluksiin perustuvia suunnittelu-työkaluja, sillä ne ovat nopeita sekä joustavia ja niiden avulla on mahdollista esimerkiksi varmistaa kytkentöjen sähköinen virheettömyys automaattisesti jo suunnitteluvaiheessa [5, luku 18.2].

Vaikka tietokoneavusteinen suunnittelu on joustavaa ja mahdollistaa hyvin monimutkaisten kytkentöjen suunnittelun, siinä on myös omat ongelmansa. Yksi ongelmista on suunnitteluohjelmistojen tukiaika. Elektroniikkasuunnittelua harjoittavat yritykset ovat pääsääntöisesti erikoistuneet käyttämään jotain tiettyä ohjelmistoa, mutta ohjelmistojen valmistajat eivät kuitenkaan tue ohjelmistoja ikuisesti. Jossain elinkaarensa vaiheessa yritys joutuu mahdollisesti tekemään päätöksen uuteen suunnitteluohjelmistoon siirtymisestä. Ohjelmiston vaihto ei kuitenkaan ole välttämättä helppo prosessi, sillä eri valmistajien ohjelmistot eivät usein ole yhteensopivia keskenään. Aina edes saman valmistajan kaksi eri ohjelmistoa tai ohjelmistojen eri versiot eivät ole suoraan yhteensopivia keskenään.

Ohjelmistojen yhteensopivuudessa on osittain kyse tiedostomuotojen yhteensopivuudesta. Jotta yhteensopivuus voitaisiin taata, elektroniikkateollisuudessa käytetään paljon standardoituja tiedostomuotoja. Hyvä esimerkki tällaisesta on RS-274X Gerber-tiedostomuoto, jota käytetään valmiiden johdotuskuvien kommunikointiin piirilevyn valmistajalle [5, luku 5.4.2.1]. Vaikka moniin käyttötarkoituksiin on kehitetty standardeja tiedostomuotoja, suunnitteluohjelmistojen sisäiset projektitiedostot eivät aina ole standardoituja, mikä voi aiheuttaa ongelmia yrityksen siirtyessä ohjelmistosta toiseen. Yhteensopivuusongelmien kiertämiseksi joihinkin ohjelmistoihin, kuten Altium Designer -ohjelmistoon, on kuitenkin toteutettu ominaisuuksia, joilla eri valmistajien suunnitteluohjelmistojen tiedostoja voidaan tuoda ohjelmistosta toiseen. [2]

Tiedostomuotojen erojen lisäksi myös liian suuret ero ohjelmistojen toteutuksissa voivat aiheuttaa ongelmia siirryttäessä ohjelmistosta toiseen. Jos esimerkiksi jokin työkalu on alkuperäisessä ohjelmistossa toteutettu täysin eri tavalla kuin uudessa ohjelmistossa, työkalulla tuotettuja projektin yksityiskohtia ei välttämättä pystytä esittämään uudessa ohjelmistossa täysin tarkasti. Siirryttäessä ohjelmistosta toiseen suunnitteludokumentteihin voi siis syntyä erilaisia virheitä. Siten myös ohjelmistojen ominaisuuksien vertailu on tärkeä osa ohjelmistojen yhteensopivuuden arviointia.

Tässä työssä tutkitaan PADS Standard ja Altium Designer -suunnitteluohjelmistojen välistä yhteensopivuutta sekä projektien tuontia PADS-ohjelmistosta Altium Designer -ohjelmistoon. Aluksi työssä käsitellään elektroniikkasuunnittelun yleisiä periaatteita ja niiden toteutumista tietokoneavusteisessa suunnittelussa. Seuraavaksi perehdytään tarkemmin PADS- ja Altium Designer -ohjelmistojen ominaisuuksiin ja eroihin. Lopuksi työssä suoritetaan olemassa olevan PADS-projektin tuonti Altium Designer -ohjelmistoon. Työn tavoitteena on selvittää, millaisia virheitä projektin tuonti PADSistä Altium Designeriin aiheuttaa, ja miten virheet voidaan korjata. Lisäksi tavoitteena on arvioida virheiden vakavuutta sekä tuontiprosessin toimivuutta ja luotettavuutta. Työssä käsitellään PADS Standard -ohjelmiston versiota VX.2.8 ja Altium Designer -ohjelmiston versiota 22.

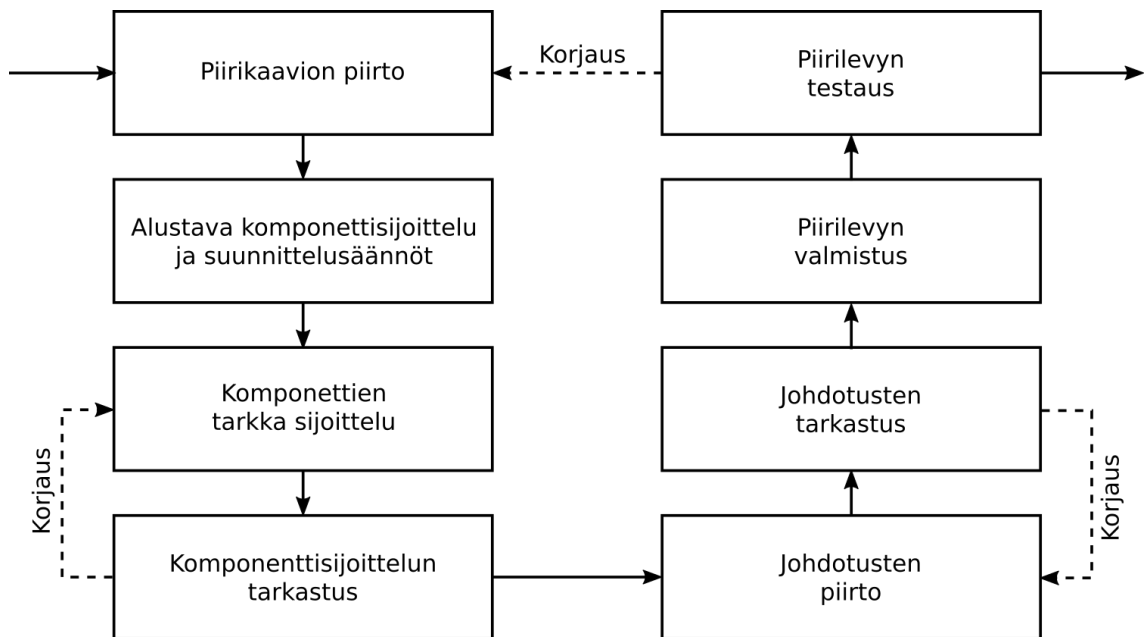
## **2. TIETOKONEAVUSTEINEN ELEKTRONIKKASUUNNITTELU**

Tässä luvussa kuvataan elektroniikkalaitteen suunnitteluprosessia yleisellä tasolla. Ensin käsitellään lyhyesti tavanomaista tuotesuunnitteluprosessia elektroniikkasuunnittelun näkökulmasta, minkä jälkeen siirrytään käsittelemään piirikaavion piirtoa ja piirilevy-suunnittelua. Lopuksi tutustutaan vielä tapoihin havaita ja korjata suunnitteluprosessissa syntyviä virheitä jo ennen piirilevyn valmistusta.

### **2.1 Elektroniikkalaitteen tuotesuunnittelu**

Elektroniikkalaitteen suunnitteluprosessissa on monta vaihetta jo ennen varsinaisten kytkentöjen suunnittelua. Suunnitteluprosessi alkaa tuoteideasta ja markkina-tutkimuksesta, joiden perusteella määritellään esimerkiksi laitteen ulkonäkö, toiminnal-lisuudet ja rajapinnat. Käytännössä kaikki laitteen ominaisuudet vaikuttavat myös sen elektroniikkasuunnitteluun: ulkonäkö vaikuttaa piirilevyn kokoon, halutut toiminnallisuudet komponenttivalintoihin ja rajapinnat esimerkiksi liittimien valintaan ja sijoitteluun. Elektroniikkasuunnittelua tuleekin pitää osana koko tuotesuunnittelun kokonaisuutta. [3, luku 6]

Myös varsinainen elektroniikkasuunnittelu on monivaiheinen ja iteratiivinen prosessi, joka koostuu muun muassa vaatimusten määrittelystä, piirikaavion piirrosta, piirilevyn suunnittelusta ja erilaisista tarkastusvaiheista. Iteratiivisuus tarkoittaa sitä, että ensimmäisen suunnittelukierroksen ja prototyypin valmistamisen jälkeen suunnittelu-prosessissa palataan taaksepäin korjaamaan havaittuja virheitä. Prosessia toistetaan tällä tavoin, kunnes tuote on vaatimusten mukainen. Prosessin lähtötietoina ovat siis vain korkean tason määrittelyt ja lopputuloksena toimiva markkinoille vietävä tuote. [5, luku 19.1] Prosessia on havainnollistettu kuvassa 2.1.



**Kuva 2.1.** *Elektroniikkalaitteen iteratiivinen tuotesuunnitteluprosessi, perustuu lähteeseen [5, luku 19.1].*

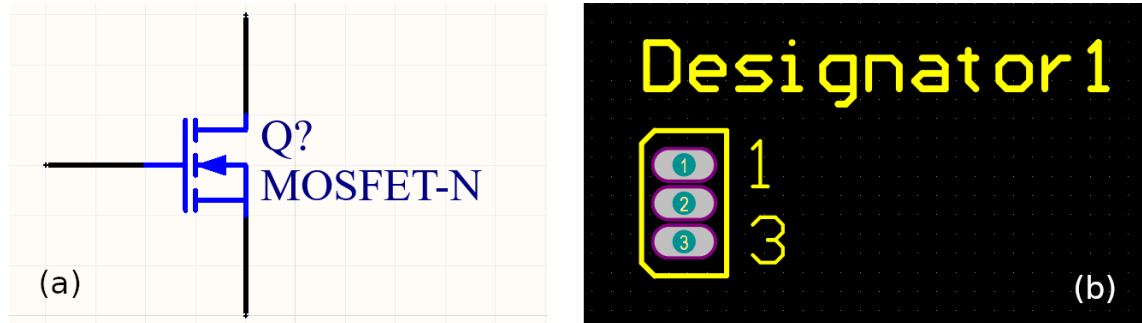
## 2.2 Piirikaavion piirto

Karkeasti rajattuna varsinaisen elektroniikkasuunnittelun ensimmäinen vaihe on piirikaavion piirto. Tässä vaiheessa tuotteen korkean tason määrittelyt on jo tehty ja niiden pohjalta aloitetaan itse laitteen suunnittelu. Piirikaavion piirto on myös ensimmäinen vaihe, jossa tehdään sähköistä suunnittelua, ja siihen sisältyy muun muassa komponenttien valinta ja mitoitus sekä komponenttien välisten kytkentöjen suunnittelu. Lopputuloksena on kytkentää kuvaava teoreettinen piirros, joka toteuttaa tuotteelle asetetut sähköiset vaatimukset. [7, luku 3.2]

Piirikaavio on mahdollista tuottaa tietokoneavusteisen elektroniikkasuunnittelun menetelmiä käyttäen. Piirikaavion piirtoon tarkoitettavat työkalut perustuvat komponentteja kuvaavien symbolien sijoitteluun virtuaaliselle paperiarkille ja symbolien kytkentä-nastojen yhdistämiseen johtimia kuvaavilla viivoilla [5, luku 21.3]. Piirikaaviossa ei siis huomioida esimerkiksi komponenttien fyysistä sijoittelua, komponenttien koteloiteja tai johtimien leveyksiä; piirikaavio kuvaa tarkasti vain käytetyt komponentit ja niiden väliset kytkennät.

Tietokoneavusteisissa suunnitteluohjelmistoissa käytettävät piirikaaviosymbolit säilytetään symbolikirjastoissa. Symbolit joudutaan usein piirtämään itse osana suunnitteluprosessia, mutta ohjelmistoissa voi olla myös valmiita symbolikirjastoja yleisille komponenteille. Symbolissa määritellään muun muassa komponentin ulkomuoto piirikaaviossa, komponenttiin kuuluvat sähköiset nastat, komponentin viitetunnus (engl. reference designator) ja muita komponenttia kuvaavia parametreja [20, luku 1]. Kuvan 2.2

(a)-puolella on esimerkki eräästä piirikaaviosymbolista. Kuvan (b)-puolella on vastaava piirilevydekaali. Dekaaaleja käsitellään tarkemmin luvussa 2.4.



**Kuva 2.2.** Esimerkki Altium Designer -ohjelmiston mukana tulevasta N-tyyppin kanavatransistorin piirikaaviosymbolista ja vastaavasta piirilevydekaalista.

Koska piirikaavio sisältää piirikaaviosymboleiden lisäksi myös johtimia, suunnitteluohjelmistojen täytyy pitää kirjaa sekä piirikaavioissa käytetyistä symboleista että niitä yhdistävistä johtimista. Ohjelmistot käsittelevät piirikaavioita sisäisesti verkkolistoina (engl. netlist). Verkkolista on yksinkertainen dataformaatti, joka kuvaa komponenttien nastojen väliset sähköiset yhteydet. Verkkolistan rivit kertovat mihin verkkoihin (engl. net) kytkennän eri nastat kuuluvat, ja kaikki samaan verkkoon kuuluvat nastat ovat sähköisesti yhdistettyjä. Piirikaavion valmistuttua verkkolista välitetään piirilevysuunnitteluohjelmistolle, joka hyödyntää sitä komponenttien välisten yhteyksien tarkastamiseen. [20, luku 1] Suunnitteluprosessin lopuksi piirikaaviosta voidaan tuottaa myös muuta tietoa, kuten laitteen komponenttistausta (engl. bill of materials, BOM) [5, luku 21.3].

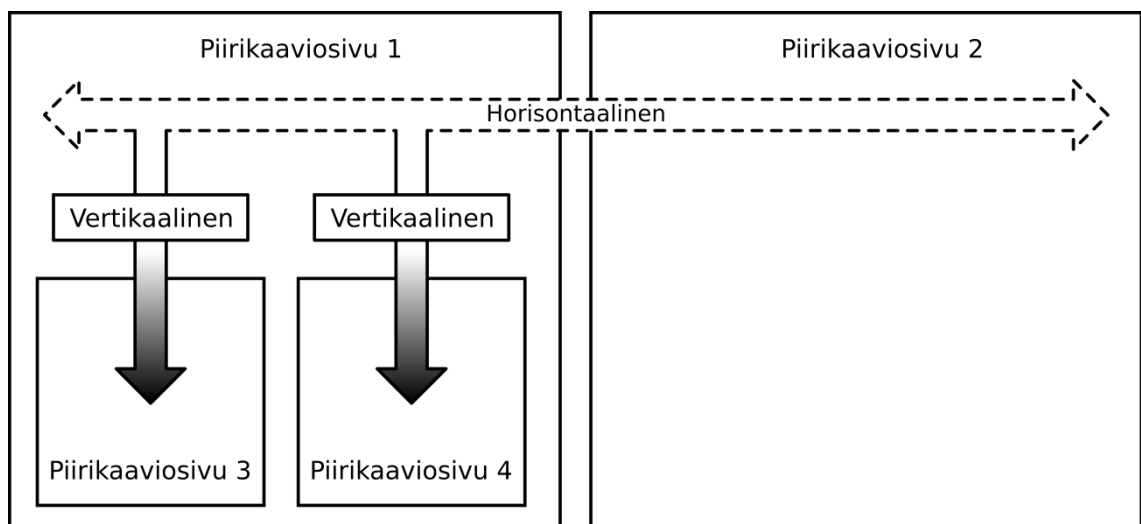
## 2.3 Hierarkkinen suunnittelu

Perinteisessä piirikaaviosuunnittelussa suunnittelutyö aloitetaan yhdellä piirikaaviosivulla ja uusia sivuja lisätään kun aiemmat tulevat täyteen. Eri piirikaaviosivuilla olevia verkkoja voidaan myös yhdistää loogisesti sivujen välillä käyttämällä erilaisia porttisympoleita. Näin eri piirikaaviosivut muodostavat käytännössä yhden suuren piirikaavion, joka on vain ositeltu useammalle sivulle. Tällaista piirikaaviorakennetta, jossa eri sivujen signaalit ovat suoraan yhteydessä toisiinsa, kutsutaan litteäksi rakenteeksi. Rakenne soveltuu hyvin yksinkertaisten laitteiden suunnitteluun, mutta monimutkaisemmille kytkennöille sovellettuna litteästä rakenteesta voi tulla sekava ja vaikeasti ylläpidettävä. [2]

Litteän piirikaavion ongelmat ratkeavat hierarkkisella suunnittelulla, jossa erilliset piirikaaviosivut eivät muodosta suoraan yhtä suurempaa piirikaaviota. Sen sijaan laitteen ylimmän tason piirikaaviosivulle on sijoitettu alempien tasojen hierarkkisia piirikaaviosivuja. Käytännössä hierarkkisen piirikaaviosivun ilmentymä on sivua kuvaava

piirikaaviosymboli, jossa on nastat jokaiselle piirikaavion sisäänmeno- ja ulostuloverkolle. Nastoihin voidaan tavalliseen tapaan yhdistää myös muita piirikaaviosymboleita. Litteästä rakenteesta poiketen hierarkkiset piirikaaviosivut siis yhdistetään erikseen toisiinsa ylemmän tason hierarkiasivulla, eikä niiden välillä ole automaattisesti loogisia yhteyksiä. Monimutkaisissa tapauksissa hierarkiassa voi olla myös enemmän kuin kaksi tasoa. [2] Käytännössä hierarkkisen piirikaavion ylimmän tason piirikaaviosivu on samalla myös laitteen lohkoakaavio, joka kuvaa laitteen toiminnallisuudet ja loogiset osakokonaisuudet tiivistetyssä muodossa [6, luku 3.1]. Jos hierarkiatasoja on useita, myös lohkoakaavioita voi olla enemmän kuin yksi.

Litteässä rakenteessa kulkevia loogisia yhteyksiä voidaan kutsua myös horisontaalisiksi yhteyksiksi, sillä rakenteessa on vain yksi hierarkiataso ja kaikki loogiset yhteydet kulkevat saman hierarkiatason sisällä. Hierarkkisessa rakenteessa tasolta toiselle kulkevia yhteyksiä taas voidaan kutsua vertikaalisiksi yhteyksiksi, sillä ne kulkevat eri hierarkiatasojen välillä pystysuunnassa. [2] Kuvassa 2.3 on havainnollistettu hierarkkista suunnittelua sekä horisontaalisten ja vertikaalisten yhteyksien käsitteitä.



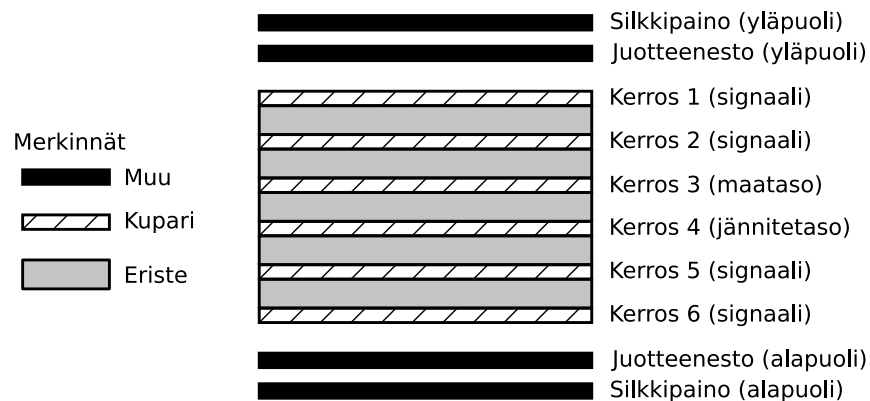
**Kuva 2.3.** Hierarkkisen piirikaaviosuunnittelun peruseräiteena toimivat horisontaaliset ja vertikaaliset yhteydet, perustuu lähteeseen [2].

Eri piirikaavioiden suunnitteluun tarkoitettujen ohjelmistojen tukevat hierarkkista suunnittelua hieman eri tavoilla, joten vaikka kuvassa 2.3 esitetty teoreettinen hierarkiaperiaate on hierarkkisen suunnittelun taustalla, se ei välttämättä toteudu kaikissa ohjelmistoissa sellaisenaan. Ohjelmistoissa periaatetta voidaan soveltaa esimerkiksi vain osittain tai tarkoituksenmukaisesti muunneltuna.

## 2.4 Piirilevysuunnittelu

Valmiin piirikaavion perusteella voidaan aloittaa piirilevyn suunnittelu, jossa piirikaavion kuvaama osittain teoreettinen kytkentä muutetaan fyysisen piirilevyn määrittelyiksi. Tässä vaiheessa siis otetaan huomioon myös komponenttien sijoittelu ja niiden kotelointi sekä monia muita kytkennästä riippuvia yksityiskohtia.

Koska piirilevyt ovat luonteeltaan kerrosmaisissa, myös piirilevysuunnitteluun käytettävät ohjelmistot perustuvat yleisesti kerrosajatteluun [18, luku 15.2]. Kuparikerrosten lisäksi suunnittelussa käytetään käytännössä aina myös joitain mekaanisia kerroksia. Mekaaniset kerrokset sisältävät piirilevyn liittyvää lisätietoa, kuten piirilevyn pintaan tehtävän silkkipainon grafiikan, juotteenestopinnoitteen muodot ja juotepastan painoon käytettävän stensiilin muodot [2, 18, luku 16.5]. Mekaanisten kerrosten määrä ja käyttötarkoitukset riippuvat piirilevyn ja suunnittelijan tarpeista, eikä niille ole vakioitua määrää. Piirilevyn eri kerrokset ja niiden järjestys, eli kerrospino (engl. layer stackup), tuleekin määrittellä ennen piirilevyn suunnittelun aloittamista [7, luku 4.1.7]. Eräs esimerkki kerrospinosta on esitetty kuvassa 2.4.



**Kuva 2.4.** Esimerkki piirilevyn kerrospinosta, perustuu lähteeseen [7, luku 4.1.7].

Ennen piirilevysuunnittelun aloittamista tulee lisäksi suunnitella ja valita komponenteille oikeat dekaalit (engl. footprint). Dekaalit kuvaavat esimerkiksi komponenttien juotoskohdat ja reiät piirilevyllä sekä sen, mitkä piirikaaviosymbolin nastat vastaavat eri juotoskohtia [20, luku 2]. Piirilevyn dekaalit ovat vastine piirikaaviossa käytettäville symboleille, ja myös ne säilytetään suunnitteluohjelmiston dekaalikirjastoissa. Yleisimpiä dekaaleja voi olla suunnitteluohjelmistossa myös valmiina, mutta usein ne joudutaan kuitenkin suunnittelemaan itse. Dekaalien suunnittelun jälkeen kaikille piirikaaviosymboleille valitaan niitä vastaavat dekaalit ohjelmistosta riippuvalla tavalla. Kuvan 2.2 (b)-puolella on esimerkki eräästä dekaalista.

Varsinaiseen piirilevysuunnitteluun sisältyy esimerkiksi piirilevyn mekaanisen ulkoreunan piirto, komponenttien sijoittelu sekä komponenttien yhdistäminen johtimilla. Suunnittelu-

ohjelmisto osaa tuoda piirilevylle automaattisesti verkkolistan mukaisten komponenttien dekaalit. Verkkolistan perusteella suunnitteluohjelmisto osaa myös esimerkiksi kertoa suunnittelijalle, mitkä komponenttien nastat kuuluu yhdistää toisiinsa. [7, luku 3.4]

Piirilevysuunnittelun lopputuloksena suunnitteluohjelmistosta saadaan piirilevyn valmistusta varten vaadittavat tiedostot, jotka voivat olla esimerkiksi standardoidussa RS-274X Gerber -muodossa. Gerber-tiedostot sisältävät muun muassa tiedon piirilevyn kuparialueista eri kerroksilla [5, luku 5.4.2.1]. Kun fyysinen piirilevy halutaan valmistaa, nämä tiedostot välitetään piirilevyvalmistajalle. Tiedostojen avulla valmistaja tietää täsmällisesti millainen valmiin piirilevyn kuuluu olla.

## 2.5 Suunnittelusäännöt ja virheentarkastus

Sekä piirikaavion piirtoon että piirilevysuunnitteluun liittyy paljon käsin tehtävää työtä, joka on melko virhealtista. Virheiden löytämiseksi ajoissa kuvan 2.1 suunnitteluprosessissa onkin useita tarkastusvaiheita. Vaikka nämä tarkastusvaiheet ovat osin käsin tehtävää tarkastusta, tietokoneavusteisissa suunnitteluohjelmistoissa on myös automaattisia ominaisuuksia virheiden etsimiseen [5, luku 27.4.1].

Sekä piirikaavion että piirilevyn automaattinen virheentarkastus perustuu CAE-ohjelmistoissa ennalta määritelyihin sääntöihin, joiden perusteella virheitä etsitään. Piirikaavion tapauksessa sääntö voi määrittää esimerkiksi komponentin kytkemättä jääneen nastan virheeksi. Kun suunnittelija ajaa piirikaavioille sähköisten sääntöjen tarkastuksen (engl. electrical rules check, ERC), ohjelmisto käy läpi koko piirikaavion etsien sieltä sääntörikkomuksia. Lopuksi ohjelmisto esittää suunnittelijalle raportin kaikista löytämistään sääntörikkomuksista. [2]

Piirilevyn tapauksessa virheentarkastus perustuu piirilevyvalmistajan määrittelemiін rajoitteisiin piirilevyn valmistusprosessissa. Valmistaja voi esimerkiksi määritellä pienimmän viivanleveyden, joka kuparikerrokseen voidaan valmistaa. [5, luku 25.3.2] Piirilevyn suunnittelija määrittelee näiden rajoitteiden perusteella itse virheentarkastuksessa käytettävät suunnittelusäännöt, kuten pienimmän sallitun johdinleveyden. Kun suunnittelija ajaa suunnittelusääntöjen tarkastuksen (engl. design rules check, DRC), ohjelmisto etsii piirilevyltä sääntöjä rikkovat kohdat ja esittää niistä raportin. [2]

Automaattinen virheentarkastus vähentää merkittävästi tarkastukseen kuluva kokonaisu aikaa, sillä sen avulla suunnittelijan ei tarvitse käydä jokaista komponenttia ja liitosta läpi yksitellen. Toisaalta se myös vähentää piiloon jääneiden virheiden määrää, sillä automaattinen tarkastus tekee tarkastuksen joka kerta samalla tavalla eikä esimerkiksi unohda yksittäisiä komponentteja. Virheentarkastus on lisäksi helppo suorittaa missä vaiheessa suunnitteluprosessia tahansa, mikä helpottaa virheiden löytämistä jo prosessin alkuvaiheessa.



### 3. PADS JA ALTIUM DESIGNER -OHJELMISTOT

Tässä luvussa käsitellään PADS- ja Altium Designer -ohjelmistoja. Aluksi luodaan lyhyt katsaus ohjelmistojen historiaan, minkä jälkeen tutustutaan ohjelmistojen toimintaperiaatteisiin sekä niiden käyttämiin tiedostomuotoihin pinnallisella tasolla. Lopuksi perehdytään syvemmin sellaisiin merkittäviin eroihin ohjelmistojen perustyökaluissa, jotka voivat aiheuttaa ohjelmistojen välisiä yhteensopivuusongelmia.

#### 3.1 Historiakatsaus

PADS on alunperin yhdysvaltalaisen vuonna 1981 perustetun Mentor Graphics -yrityksen kehittämä CAE-ohjelmisto [4, s. 244]. Mentor Graphics kuitenkin yhdistyi vuonna 2017 saksalaisen Siemensin kanssa ja on nykyään Siemensin tytäryhtiö [17]. PADS-tuoteperheeseen kuuluu kaksi eri tuotetta: PADS Standard ja PADS Professional. Näistä PADS Standard on vanhempi perustason CAE-tuote, jota tämä työ käsittelee. Tuotteesta on olemassa myös lisäominaisuuksia sisältävä PADS Standard Plus -versio. PADS Professional taas on uudempi tuote, joka sisältää tavanomaisten suunnitteluominaisuuksien lisäksi nykyaikaisessa elektroniikkasuunnittelussa hyödyllisiä ominaisuuksia, kuten tuen kehittyneemmille simuloinneille. PADS Professional -tuotteesta on olemassa lisäksi Premium-versio, joka sisältää vielä perustason Professional-tuotetta enemmän lisäominaisuuksia. [11, 10]

Altium Designer on alunperin australialaisen vuonna 1985 perustetun Protel Systems -yrityksen kehittämä CAE-ohjelmisto. [8] Protel Systems vaihtoi nimeään vuonna 2001, ja yritys on nykyään nimeltään Altium Limited [16]. Altium Designerilla on myös oma Altium 365 -niminen pilvipalvelu, joka mahdollistaa esimerkiksi suunnittelutiedostojen ja komponenttikirjastojen jakamisen yrityksen sisällä sekä helpottaa yhteistyötä mekaniikkasuunnittelijoiden kanssa [1].

### 3.2 Yleiskatsaus ohjelmistoihin

PADS- ja Altium Designer -ohjelmistot ovat kokonaisvaltaisia suunnitteluohjelmistoja, joilla pystytään toteuttamaan koko elektroniikkasuunnittelun prosessi aina alusta loppuun saakka. Kumpikin ohjelmistot siis sisältävät kaikki elektroniikkasuunnittelun kannalta olennaiset työkalut: piirikaaviotyökalun, piirilevytyökalun, komponenttikirjastojen hallinnan sekä virheentarkastus- ja suunnittelusääntöjärjestelmät. Näiden perustyökalujen lisäksi ohjelmistot sisältävät myös paljon muita suunnittelua helpottavia työkaluja, kuten erilaisia simulointi- ja laskurityökaluja. [15, 13, 2] Ohjelmistojen yhteensopivuuden kannalta erityisesti perustyökalut ovat olennaisia, sillä niiden riittävän hyvä yhteensopivuus mahdollistaa projektien siirron ohjelmistojen välillä. Lisätyökalut taas tukeutuvat perustyökaluihin, eikä niiden toteutuksella eri ohjelmistoissa ole yhtä suurta merkitystä.

PADS-ohjelmisto koostuu eri tarkoituksiin käytettävistä erillisistä sovelluksista. Piirikaavioita voidaan piirtää PADS Logic -sovelluksella, kun taas piirilevyjä voidaan suunnitella PADS Layout -sovelluksella. Ohjelmiston eri osat on kuitenkin integroitu siten, että tiedonsiirto tapahtuu melko saumattomasti eri sovellusten välillä. [15, 13]

PADSistä poiketen Altium Designer on yksittäinen sovellus, jossa koko suunnitteluprosessi tapahtuu sovellusta vaihtamatta. Tällainen käyttöliittymätoteutus onkin toiminut koko Altium Designer -ohjelmiston kehityksen lähtökohtana, ja ohjelmiston kehittäjä viittaa siihen termillä yhtenäinen suunnittelu ympäristö (engl. unified design environment). Yksittäisen sovelluksen etuna on se, että suunnitteluprosessissa tietoja ei tarvitse siirtää erillisten sovellusten välillä, mikä tekee suunnittelusta sujuvampaa. [2]

### 3.3 Tiedostomuodot ja niiden yhteensopivuus

Sekä PADS että Altium Designer säilyttävät tietoja tietokoneen kovalevyllä useina eri tiedostoina, ja kumpikin ohjelmisto käyttää tallennukseen omia tiedostomuotojaan. Jotta PADS-tiedostot pystyttäisiin muuttamaan vastaaviksi Altium Designer -tiedostoiksi, on Altium Designeriin rakennettu erityinen projektien tuontiin tarkoitettu työkalu [9]. Työkalu ei kuitenkaan pysty suoraan lukemaan tavallisia binäärimuotoisia PADS-tiedostoja. PADS-ohjelmistosta on sen sijaan mahdollista tallentaa tarvittavat tiedostot myös tekstipohjaisessa ASCII-muodossa (engl. American standard code for information interchange, ASCII), jota myös Altium Designer pystyy lukemaan [2, 15, 13]. Taulukkoon 3.1 on koottu työn kannalta oleellisten PADS-tiedostojen tiedostomuodot sekä binääri-että ASCII-muodoissa ja niiden vastaavuudet Altium Designerissä.

Koska koneluettavat PADS ASCII -tiedostot on tarkoitettu juuri tiedonsiirtoon eri valmistajien ohjelmistojen välillä, tiedostojen sisältö ja rakenne on myös täysin dokumentoitu PADS-ohjelmiston mukana tulevassa dokumentaatioissa [14, 12]. Tiedostoja lukemalla voikin olla mahdollista esimerkiksi selvittää projektin tuonnissa

syntyvien virheiden syitä. Periaatteessa myös virheiden ohjelmallinen korjaaminen on mahdollista käyttämällä hyväksi dokumentoituja PADS ASCII -tiedostoja sekä Altium Designeriin sisäänrakennettua DelphiScript-komentotulkkia [2].

**Taulukko 3.1.** PADS- ja Altium Designer -ohjelmistojen tuottamat tiedostot ja niiden vastaavuudet, perustuu lähteisiin [15, 13, 2].

Tiedoston sisältö	PADS	PADS ASCII	Altium Designer
Elektroniikkaprojekti			.PcbProj
Piirikaavio	.sch	.txt	.SchDoc
Piirikaaviosymbolit	.ld	.c	.SchLib
Piirikaaviokomponentit	.pt	.p	.SchLib
Piirilevy	.pcb	.asc	.PcbDoc
Piirilevydekaalit	.pd	.d	.PcbLib
Viivapiirrokset	.ln	.l	

Taulukosta 3.1 huomataan, että Altium Designer -ohjelmistosta löytyy pääosin selkeät vastaavuudet PADS-ohjelmiston tuottamille tiedostoille. Ensimmäinen poikkeus ovat Altium Designerin PcbProj-päätteiset tiedostot, joille ei ole vastaavuutta PADSissä. PcbProj-tiedosto on elektroniikkaprojektin projektitiedosto, joka sisältää esimerkiksi tiedot kaikista projektin sisältämistä piirikaaviosivuista sekä muuta projektiin liittyvää metatietoa. Vastaavaa tiedostoa ei ole PADSissä, jossa piirikaavioprojekti säilytetään sch-tiedostossa ja piirilevyprojekti pcb-tiedostossa. Eroavaisuus ei kuitenkaan aiheuta ongelmia, sillä Altium Designerin projektien tuontityökalu osaa luoda projektille automaattisesti sopivan PcbProj-tiedoston [9].

Toinen ero löytyy PADS-ohjelmiston piirikaaviosymboleiden ld- ja pt-tiedostoista, joita vastaa Altium Designerissä vain yksi SchLib-tiedosto. PADS-ohjelmistossa piirikaaviosymbolit koostuvat kahdesta osasta: Ensimmäinen osa on graafinen symboli (engl. symbol), joka sisältää tiedon siitä, miltä symboli näyttää piirikaaviossa. Symbolit säilytetään ld-tiedostoissa. Toinen osa on komponentti (engl. part), joka määrittelee esimerkiksi fyysisen komponentin nastojen järjestyksen ja muuta metatietoa. Komponentit säilytetään vastaavasti pt-tiedostoissa. [15, 13] Altium Designerissä komponenttikirjasto kuitenkin koostuu vain yhdestä SchLib-tiedostosta, joten ld- ja pt-tiedostot tulee yhdistää osana kirjaston tuontiprosessia. Tämänkin Altium Designerin projektien tuontityökalu osaa kuitenkin tehdä automaattisesti. [9]

Kolmas ero liittyy PADSissä käytettäviin viivapiiroksiin: PADS-ohjelmiston tuottamille In-päätteisille viivapiirrostiedostoille ei ole vastinetta Altium Designer -ohjelmistossa. Vastaavuuden puuttuminen johtuu eroista ohjelmistojen toiminnoissa: PADSissä on mahdollista tallentaa kirjastoihin viivapiirroksia, joita voidaan käyttää symbolien ja dekaalien tavoin. Symboleista ja dekaaleista poiketen viivapiirroksiset ovat kuitenkin passiivisia, eikä niillä ole sähköisiä ominaisuuksia. Altium Designerissä taas ei ole tukea vastaaville viivapiirroksille, eikä viivapiirroskirjastoja siten voida muuttaa Altium Designer -kirjastoiksi. [9]

### **3.4 Toiminnallinen yhteensopivuus**

CAE-ohjelmistojen perustyökalujen toiminta määrittelee kussakin ohjelmistossa suunnitteluprosessin kulun ja ohjelmistojen tavat esittää erilaisia yksityiskohtia suunnitteludokumenteissa. Perustyökalut vaikuttavat siis merkittävästi myös siihen, ovatko ohjelmistojen tuottamat suunnitteludokumentit yhteensopivia keskenään. Tässä alaluvussa käsitellään PADSin ja Altium Designerin perustyökalujen toimintaa niiden yhteensopivuuden kannalta.

#### **3.4.1 Ohjelmistojen projektirakenne**

Koska PADS- ja Altium Designer -ohjelmistojen toimintaperiaatteet ovat jo lähtökohtaisesti erilaiset, on myös niiden projektien säilytysmuodoissa merkittäviä eroja. Kummassakin ohjelmistossa on kuitenkin käytössä projektikäsitemalli: projekti on eräänlainen yksikkö, joka sisältää erilaisia tietoja suunniteltavasta laitteesta sekä projektiin liittyvät suunnitteludokumentit.

PADSissä projektikäsitemalli näkyy suoraan myös ohjelmiston käyttämissä tiedostomuodoissa. Esimerkiksi PADS Logic -sovelluksessa yksi piirikaavioprojekti voi sisältää useita piirikaaviosivuja, mutta tietokoneen kovalevyllä projekti on aina vain yksi tiedosto. Yksi tiedosto sisältää siis kaiken projektin käsittelyyn tarvittavan informaation. Myös piirilevysuunnitteluun käytettävä PADS Layout -sovellus toimii vastaavalla tavalla, mutta piirikaavio- ja piirilevyprojektit ovat kuitenkin erillisiä tiedostoja. [15, 13] PADS-ohjelmiston toimintatavan etuna on se, että yksittäisiä projektitiedostoja on helppo käsitellä tiedostonhallintasovelluksilla eikä suunnittelijan tarvitse itse kiinnittää paljon huomiota tiedostonhallintaan.

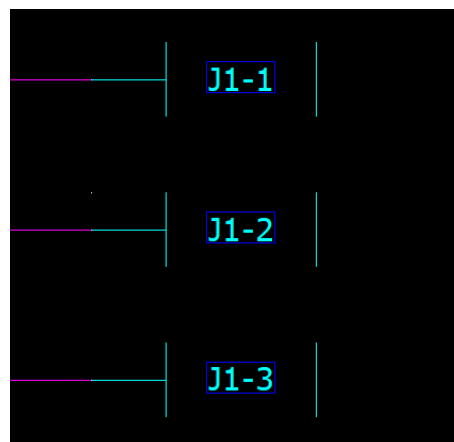
Altium Designerissä projektikäsitemalli ei näy yhtä suoraan tiedostomuodoissa. Myös Altium Designer luo tallennuksen yhteydessä tietokoneen kovalevylle projektitiedoston, mutta projektitiedosto ei kuitenkaan sisällä varsinaisia suunnitteludokumentteja. Tiedosto sisältää vain projektiin liittyvää metatietoa, jonka perusteella ohjelmisto osaa esimerkiksi käsitellä muita tiedostoja oikein. Projektitiedoston lisäksi jokainen suunnitteludokumentti,

kuten yksittäinen piirikaaviosivu, tallennetaan omaan tiedostoonsa. Altium Designerin toimintatapa ei ole yhtä selkeä kuin PADSissä, mutta se on kuitenkin joustavampi: Altium Designer -projektiin voi kuulua monia erilaisia tiedostoja, eikä ohjelmisto rajoita esimerkiksi sallittuja tiedostomuotoja tai tiedostojen sijainteja mitenkään. [2] Toisaalta suunnittelijan täytyy tällöin kiinnittää itse enemmän huomiota suunnittelutiedostojen järkevään tiedostonhallintaan ja järjestelyyn.

Projektirakenteiden erot täytyy ottaa huomioon myös siirrettäessä projekteja PADSistä Altium Designeriin. Koska sekä projektien rakenteet että tiedostomuodot ovat ohjelmistoissa varsin erilaisia, projektien siirtokaan ei voi tapahtua vain kääntämällä yksittäisiä tiedostoja uuden ohjelmiston ymmärtämään muotoon. Siirto vaatii myös tiedostojen paloittelua ja yhdistämistä, jotta tuloksena on kokonainen uudessa ohjelmistossa toimiva projekti. Projektien siirto on kuitenkin toteutettu valmiiksi Altium Designerin projektien tuontityökaluun, joka osaa sekä kääntää tiedostomuodot sopiviksi että paloitella ja yhdistää tiedostot sopivalla tavalla [2].

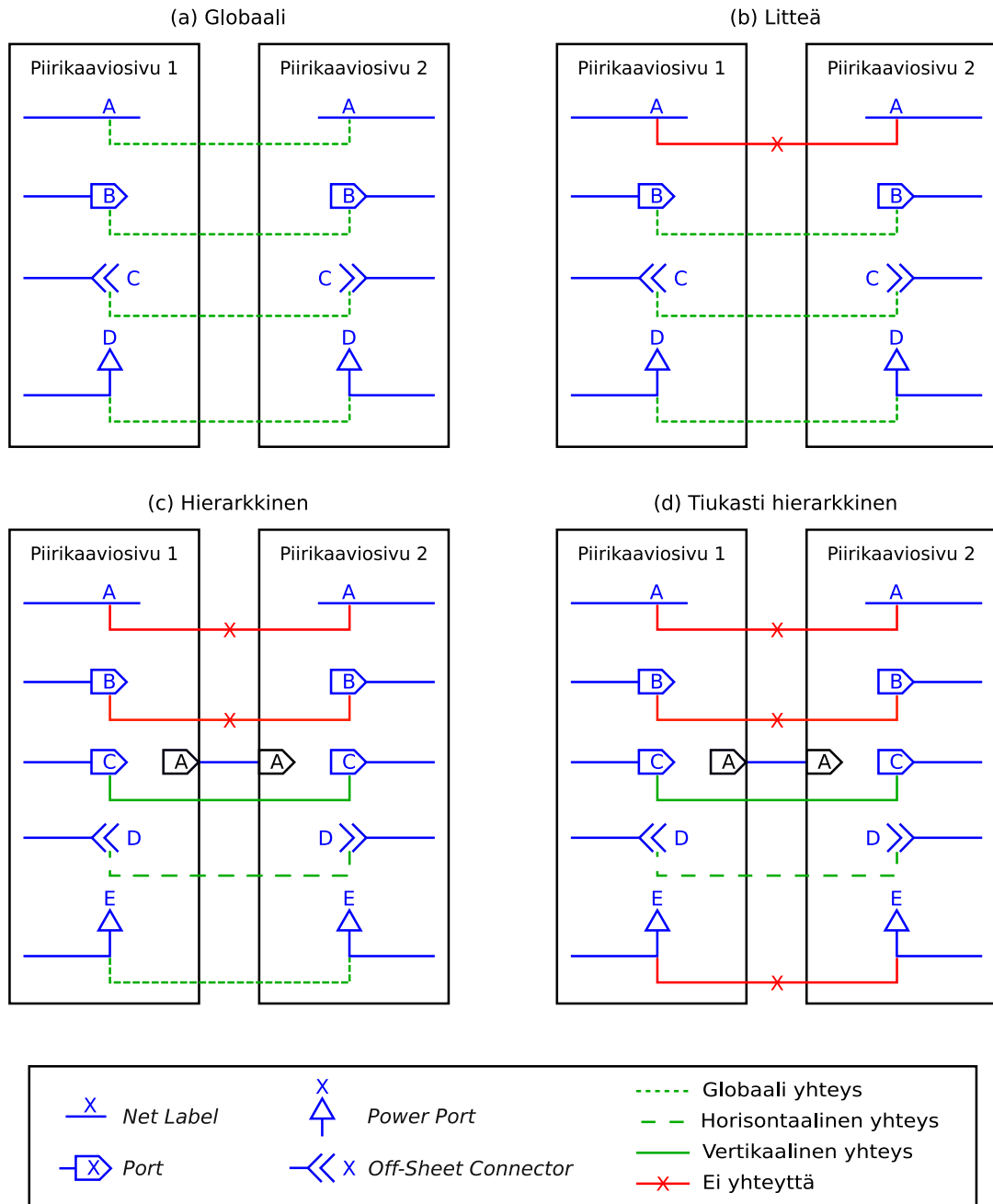
### 3.4.2 Piirikaaviotyökalujen yhteensopivuus

Vaikka piirikaaviot ovat taulukon 3.1 mukaisesti tiedostotasolla hyvin yhteensopivia, PADS- ja Altium Designer -ohjelmistojen toiminnallisuuksissa on joitakin eroja, jotka aiheuttavat ongelmia piirikaavion tuonnissa. Ensimmäinen ongelma liittyy liittinsymboleihin: PADSissä on mahdollista lisätä piirikaavioon yksinastaisia liittinsymboleita, jotka muodostavat yhdessä moninastaisen liittimen. Altium Designerissä ei ole tukea vastaaville liittimille, joten niiden tuonti Altium Designeriin ei onnistu. Esimerkki ongelmallisista liittinsymboleista on kuvassa 3.1. Ongelma voidaan ratkaista korvaamalla yksinastaiset liittimet varsinaisilla moninastaisilla symboleilla joko PADSissä tai tuonnin jälkeen Altium Designerissä. [9]



**Kuva 3.1.** Esimerkki PADSissä käytetyistä yksinastaisista liittinsymboleista, joita ei tueta Altium Designerissä.

Toinen merkittävä ero liittyy ohjelmistojen tapaan käsitellä piirikaavioiden hierarkiaa ja verkkojen välisiä loogisia yhteyksiä. Vaikka PADSissä on mahdollista piirtää sekä litteitä että hierarkkisia piirikaavioita, itse loogiset yhteydet toimivat kuitenkin aina litteällä periaatteella. PADSissä kaikki samannimiset verkot ja portit ovat siis aina yhteydessä toisiinsa hierarkiasta riippumatta. [15] Altium Designerissä taas hierarkiaa hyödynnetään monipuolisemmin myös loogisten yhteyksien käsittelyssä. Kuvassa 3.2 on havainnollistettu Altium Designerin porttisymboleiden välisiä yhteyksiä eri hierarkiarakenteissa.



**Kuva 3.2.** Altium Designer -ohjelmiston verkkojen kytkeytyminen piirikaaviosivujen välillä, perustuu lähteeseen [2].

PADSissä on käytössä kuvan 3.2 (a)-kohdan mukainen globaali rakenne sillä poikkeuksella, että käytössä on vain yhdentyypisiä signaaliportteja [15]. Altium Designerissä suunnittelija taas pystyy valitsemaan rakenteen itse kuvan neljästä eri vaihtoehdosta projektin tarpeiden mukaan. Erot PADSin ja Altium Designerin loogisissa yhteyksissä voivat aiheuttaa ongelmia piirikaavion tuonnissa Altium Designeriin, minkä vuoksi piirikaavio tulee tarkistaa tuonnin jälkeen esimerkiksi Altium Designerin ERC-toiminnallisuuden avulla.

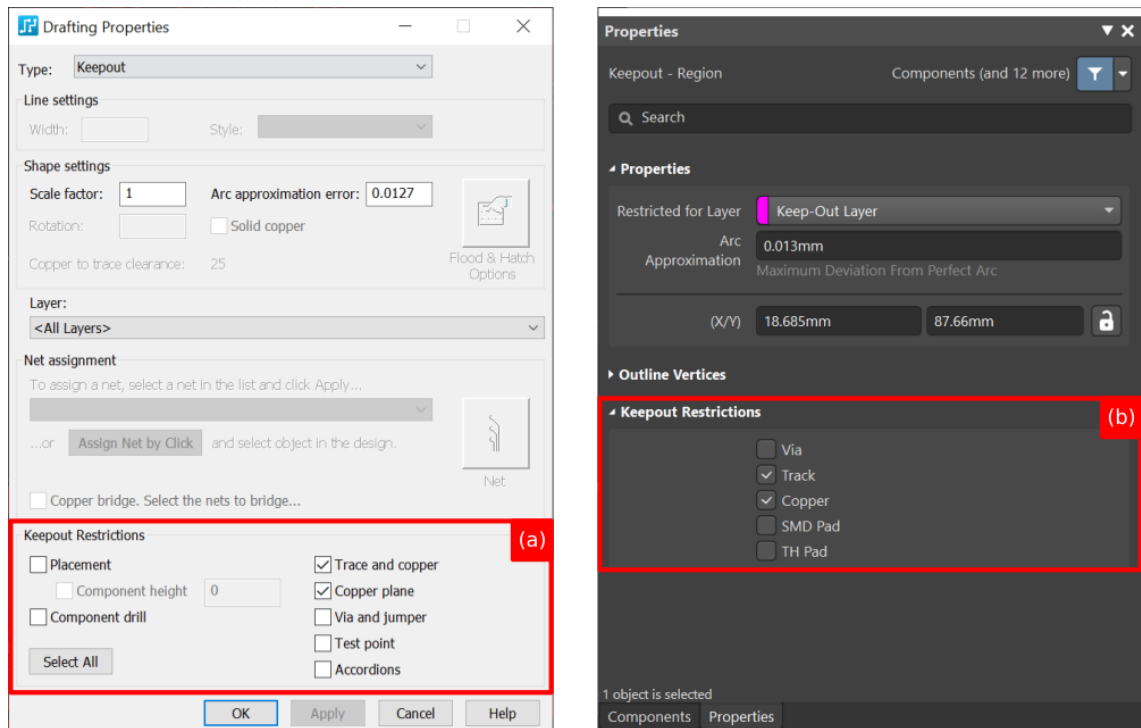
Kolmas ohjelmistojen välinen ero liittyy piirikaavion verkkojen ominaisuuksiin, kuten verkkoluokkiin (engl. netlist) ja differentiaaliparien määrittelyyn. Verkkoluokkien avulla verkkoja voidaan jaotella ryhmiin, joita voidaan käyttää esimerkiksi suunnittelusääntöjen kohdistamisessa. PADS-piirikaavioissa verkkoluokat asetetaan verkon määritteinä. [15] Altium Designerissä verkkoluokat taas asetetaan verkkoihin liitettävillä *Parameter Set* -objekteilla [2]. Vastaava ero koskee myös differentiaaliparien määrittelyä, joka tapahtuu PADSissä suunnittelusääntöjen kautta, mutta Altium Designerissä piirikaavioon asetettavilla *Differential Pair* -objekteilla. Näiden toimintaerojen vuoksi verkkoluokkien, differentiaaliparien määrittelyiden ja muiden verkkojen ominaisuuksien tarkastamiseen tulee kiinnittää erityishuomiota projektin tuonnin jälkeen.

Eräs vähäisempi ero ohjelmistojen välillä liittyy invertoitujen signaalien nimeämiseen. PADSissä invertoitu signaali voidaan luoda lisäämällä verkon nimen eteen kenoviiva, jolloin verkon nimi esitetään piirikaaviossa yläviivan kera. Altium Designerissä kenoviiva taas invertoi verkon nimestä joko ensimmäisen kirjaimen tai koko nimen riippuen piirikaavion asetuksista. [9] Verkkojen nimet ja invertointiasetus kannattaakin tarkastaa ja tarvittaessa asettaa oikeiksi Altium Designerissä projektin tuonnin jälkeen.

### 3.4.3 Piirilevytyökalujen yhteensopivuus

PADS- ja Altium Designer -ohjelmistojen piirilevytyökalut ovat pääosin hyvin yhteensopivia. Työkalujen ominaisuuksissa on kuitenkin joitakin eroja, jotka voivat aiheuttaa tarpeen korjata piirilevyn johdotusta käsin projektin tuonnin jälkeen.

Eräs olennainen ero PADSin ja Altium Designerin välillä liittyy piirilevyn estoalueisiin (engl. keepout zone), joiden avulla voidaan esimerkiksi estää johtimien piirtäminen tietyille piirilevyn alueelle. Estoalueet voidaan asettaa estämään erityyppisiä objekteja riippuen kunkin alueen tarpeista. Jokin alue voi esimerkiksi estää vain johtimet, kun taas toinen alue estää vain läpiviennit. [2, 13] Kuvassa 3.3 on esitetty PADSin ja Altium Designerin estoalueiden asetukset. Kuvasta huomataan, että kaikille rajoitteille ei löydy suoria vastaavuuksia PADSin ja Altium Designerin välillä, minkä vuoksi kaikki estoalueet eivät välttämättä siirry projektin tuonnin yhteydessä Altium Designeriin oikein [9]. Estoalueet voivatkin vaatia käsin tehtäviä korjauksia tuonnin jälkeen.



**Kuva 3.3.** PADS-ohjelmiston (a-puoli) ja Altium Designer -ohjelmiston (b-puoli) estoalueiden asetukset.

Toinen ero koskee PADS Layout -sovelluksen *Physical Design Reuse* -ominaisuutta. PADS Layout tukee niinsanottuja *Physical Design Reuse* -lohkoja, joilla piirilevyobjekteja voidaan ryhmitellä uudelleenkäytettäviksi lohkoiksi suunnittelun helpottamiseksi [13]. Altium Designer ei tunne vastaavaa käsitettä, joten lohkoja ei voida siirtää Altium Designeriin. *Physical Design Reuse* -lohkot tuleekin rikkoo tavanomaisiksi piirilevyobjekteiksi PADSissä ennen piirilevyn tuontia Altium Designeriin. [9]

Kolmas olennainen ero liittyy ohjelmistojen kerrosjärjestyksen hallintaan. CAE-ohjelmistoissa piirilevyn kuparikerrokset ja mekaaniset kerrokset numeroidaan yleisesti kokonaisluvulla, ja suunnittelijoilla on omat käytäntönsä numerointiin. Numerointi on olennainen asia piirilevysuunnittelun kannalta, sillä sen avulla määritellään kerrosten sisältö ja käyttötarkoitukset. Suunnittelija voi siis määritellä esimerkiksi kerroksen 1 piirilevyn yläpuolen kuparikerrokseksi ja kerroksen 2 alapuolen kuparikerrokseksi. Numerointia ei kuitenkaan ole standardoitu, ja numerointimenetelmissä on myös ohjelmistokohtaisia eroja. PADSissä sekä kuparikerrokset että mekaaniset kerrokset numeroidaan samassa lukuavaruudessa alkaen luvusta yksi [13]. Altium Designerissä taas kuparikerrosten järjestys määritellään kerrospinossa *Layer Stack Manager* -työkalulla, mutta niiden numerointia ei voida muuttaa vapaasti. Mekaanisten kerrosten numerointi sen sijaan voidaan asettaa käyttäjän haluamalla tavalla. Lisäksi Altium Designerissä joillekin kerroksille voidaan määrittää kerrostyyppi, jota ohjelmisto käyttää kerrosten sisällön päättämiseen. [2] Kerrostyypit eivät kuitenkaan välttämättä vastaa



PADS-kerroksia suoraan. Koska PADSin ja Altium Designerin kerrosjärjestyksen hallinnassa on eroja, kerrosten numerointia ja käytössä olevia kerroksia voidaan joutua korjaamaan projektin tuonnin jälkeen.

### 3.4.4 Kirjastojen yhteensopivuus

Kirjastojen osalta tuontiprosessissa aiheuttavat ongelmia viivapiirroksia: PADSissä esimerkiksi piirikaavion reunat ja nimiöt voidaan luoda viivapiirroksina, jotka tallennetaan ohjelmiston viivapiirroskirjastoihin. [15, 13] Koska Altium Designer ei tue vastaavia kirjastoja, niiden käyttö tulee korvata muilla keinoilla. Tarvittavat viivapiirroksia voidaan esimerkiksi sijoittaa piirikaavioon ja piirilevyille ennen projektin tuontia, sillä projektien tuontityökalu muuttaa projektiin sijoitetut viivapiirroksia automaattisesti Altium Designerin grafiikkaobjekteiksi. [9]

Symboli- ja dekaalikirjastojen osalta ohjelmistot ovat melko hyvin yhteensopivia. Mahdolliset yhteensopivuusongelmat liittyvät jo piirikaavioiden ja piirilevyjen yhteydessä käsiteltyihin asioihin, kuten piirilevyn estoalueisiin. Ongelmat voidaan myös korjata vastaavasti kuin piirikaavio- ja piirilevytyökaluissa. [9]

### 3.4.5 Virheentarkastuksen erot

Vaikka sekä PADSissä että Altium Designerissä on sisäänrakennettuna monipuolisia virheentarkastustyökaluja, vain Altium Designerissä on tehokas piirikaaviotason ERC-toiminnallisuus [2, 15, 13]. PADSissä ERC-työkaluna toimii yksinkertainen Reports-toiminto, jonka avulla voidaan listata esimerkiksi eri verkkoihin liitetyt komponenttien nastat tai kokonaan kytkemättä jääneet nastat [15]. Työkalun avulla on periaatteessa mahdollista havaita piirikaavion virheitä jo aikaisessa vaiheessa, mutta toisin kuin Altium Designerissä, se ei kuitenkaan nosta virheitä selkeästi esiin suunnittelijan nähtäville, minkä vuoksi virheitä voi jäädä myös huomaamatta. Reports-työkalussa ei myöskään ole yhtä joustavia asetuksia kuin Altium Designerin ERC-työkalussa.

Projektin siirron kannalta tehokkaan ERC-työkalun puute voi osoittautua ongelmalliseksi, sillä ilman automaattista virheentarkastusta myös alkuperäiseen PADS-projektiin voi jäädä virheitä. Jos alkuperäisen projektin perusteella on jo valmistettu toimivia laitteita, virheet ovat todennäköisesti laadultaan sellaisia, jotka eivät vaikuta laitteen toimintaan. Virheet tulevat kuitenkin lähes väistämättä esiin projektin siirron jälkeen Altium Designerin ERC-virheinä, jolloin ne on joko korjattava tai jätettävä huomiotta. Ylimääräisten virheiden korjaus taas aiheuttaa lisää käsin tehtävää työtä.

Myös ohjelmistojen DRC-työkalut ja niihin liittyvät suunnittelusäännöt eroavat toisistaan jonkin verran. Vaikka suunnittelusäännöt siirtyvät projektien tuontityökalulla Altium Designeriin pääosin oikein, työkalujen erojen vuoksi kaikkia suunnittelusääntöjä ei pystytä siirtämään tarkasti. Osittain sääntöjen siirtämättä jättäminen on myös tietoinen suunnittelupäätös: koska PADSin ja Altium Designerin DRC-työkalujen ominaisuuksissa on joitain perustavanlaatuisia eroja, jotkin PADSin suunnittelusäännöt kannattaa toteuttaa Altium Designerissä eri tavalla PADSiin verrattuna. Tällaisia sääntöjä ovat esimerkiksi juotoskohtien lämpöhelputuksiin liittyvät säännöt, joiden suora kääntäminen johtaisi Altium Designerissä suureen määrään epäoptimaalisia sääntöjä. Projektien tuontityökalu jättääkin niiden siirtämisen tietoisesti suunnittelijan vastuulle. [9]

## **4. PROJEKTIN TUONTI PADS -OHJELMISTOSTA ALTIUM DESIGNER -OHJELMISTOON**

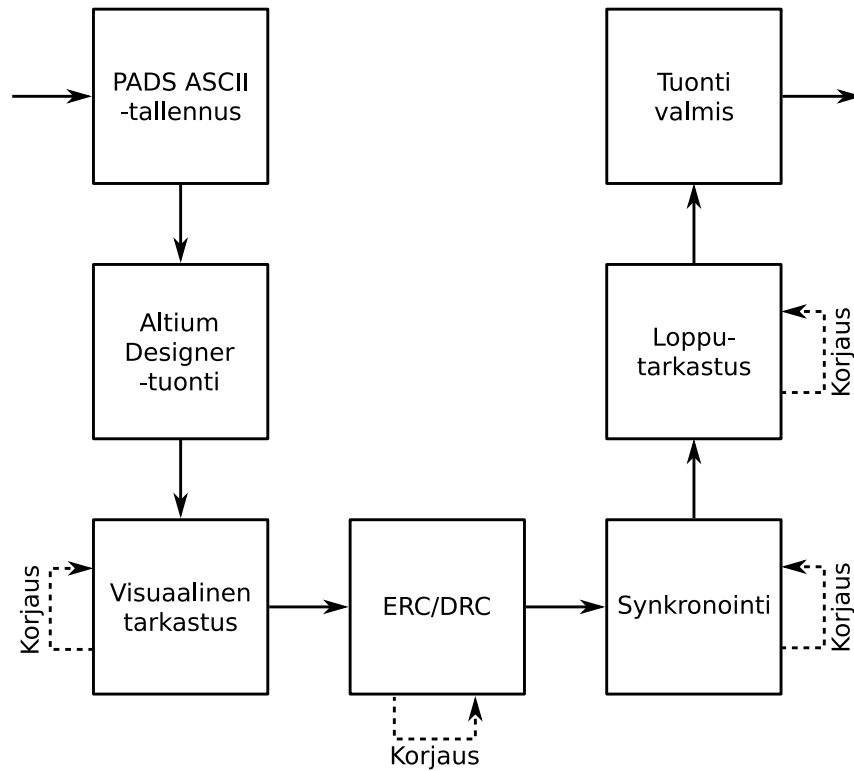
Tässä luvussa suoritetaan erään elektroniikkaprojektin tuonti PADS-ohjelmistosta Altium Designer -ohjelmistoon. Luvussa ei käsitellä kirjastojen tuontiprosessia, joka on kuitenkin samankaltainen kuin piirikaavion ja piirilevyn tuontiprosessi. Käsiteltävä elektroniikkaprojekti on melko monimutkainen, ja se sisältää muun muassa tehokkaan prosessorin, näyttölaitteen, useita erilaisia digitaalisia väyliä, mobiiliverkkomodeemin sekä muuta ohjauselektroniikkaa. Projekti soveltuu siten tuontiprosessin luotettavuuden arviointiin todellisissa käyttötapauksissa.

### **4.1 Elektroniikkaprojektin tuontiprosessi**

Projektin tuonti PADS-ohjelmistosta Altium Designer -ohjelmistoon on melko suoraviivainen prosessi, mutta koostuu kuitenkin useasta eri vaiheesta. Työssä suoritettu tuontiprosessi on esitetty kuvassa 4.1.

Projektin tuonti alkaa PADS ASCII -tiedostojen tallennuksella. PADS-ohjelmiston ASCII-tiedostojen tallennukseen käytettävien työkalujen toimintaa on käsitelty tarkemmin liitteessä A. ASCII-tiedostojen tallennuksen jälkeen luodut tiedostot voidaan avata Altium Designerin projektien tuontityökalussa. Tätä työkalua on kuvattu tarkemmin liitteessä B.

Kun projekti on tuotu Altium Designeriin onnistuneesti, se vaatii vielä jonkin verran jälkikäsitelyä. Käsitelyn tarkoituksena on saada projekti vastaamaan mahdollisimman tarkasti alkuperäistä PADS-projektia. Kuvan 4.1 prosessissa jälkikäsitelyyn sisältyy neljä vaihetta: visuaalinen tarkastus, ERC- ja DRC-tarkastukset, piirikaavion ja -levyn synkronointi sekä lopputarkastus. Neljän erilaisen tarkastusvaiheen tarkoituksena on havaita mahdollisimman monta PADS-projektin ja Altium Designer -projektin välistä eroa. Jokaisessa tarkastusvaiheessa myös korjataan suunnitteludokumenteista löytyneitä virheitä. Kaikkien neljän tarkastusvaiheen jälkeen tuontiprosessi on valmis.



**Kuva 4.1.** PADS-projektin tuontiprosessi.

## 4.2 Piirikaavion tuonnin suoritus

Ennen piirikaavion tuontia PADS-tiedostot tallennettiin ASCII-muodossa PADS Logic-sovelluksen ASCII-tallennustyökalulla. Työkalun toiminta on kuvattu liitteen A luvussa A.1. Työssä valittiin tallennettavaksi kaikki PADS-piirikaavion objektityypit, sillä kaikki objektit haluttiin tuoda Altium Designeriin. Tiedostoversioksi valittiin käytössä ollut PADS Logic-sovelluksen versiota vastaava versio *PADS Logic 9.0*.

ASCII-piirikaaviotiedoston tallennuksen jälkeen tiedosto avattiin Altium Designerin projektien tuontityökalussa, jonka toiminta on kuvattu liitteessä B. Piirikaavion tuonnin yhteydessä tuotiin myös piirikaaviossa käytetyt symbolikirjastot, mutta niitä ei käsitellä tässä työssä. Piirikaavion tuontiasetukset asetettiin liitteen B suositusten sekä osittain oletusasetusten mukaisesti. Käytetyt asetukset ovat taulukossa 4.1.

**Taulukko 4.1.** Piirikaavion tuontiasetukset.

Asetus	Oletusarvo	Käytetty arvo
Log All Errors	✓	✓
Log All Warnings	✓	✓
Log All Events	×	×
Do not translate hidden net names	✓	✓

### 4.3 Piirilevyn tuonnin suoritus

Piirilevyn tuontiprosessi oli hyvin samankaltainen kuin piirikaavion tapauksessa. Ensin PADS-piirilevy tallennettiin ASCII-muodossa PADS Layout -sovelluksen ASCII-tallennustyökalulla. Tallennustyökalun toiminta on kuvattu liitteen A luvussa A.2. Työssä valittiin tallennettavaksi kaikki objektityypit, sillä kaikki objektit haluttiin tuoda Altium Designeriin. Tiedostoversioksi valittiin käytössä ollut PADS Layout -sovelluksen versiota vastaava versio *PADS Layout VX*. Yksiköiksi valittiin vaihtoehto *Basic* liitteen A suositusten mukaan. *Expand Attributes* kohdan valinnat jätettiin vakioarvoihinsa eli pois päältä.

ASCII-piirilevytiedoston tallennuksen jälkeen tiedosto avattiin Altium Designerin projektien tuontityökalussa vastaavasti kuin piirikaavion tapauksessa. Piirilevyn tuontiasetukset asetettiin liitteen B suositusten sekä osittain oletusasetusten mukaisesti. Käytetyt asetukset ovat taulukossa 4.2. Taulukon asetusten lisäksi piirilevyn kerrosten tuontiasetukset jätettiin tuontityökalun päättelemiin oletusasetuksiin, sillä ne vastasivat hyvin alkuperäisiä PADSissä käytettyjä kerrosasetuksia. Piirilevyn tuonnin yhteydessä tuotiin myös projektissa käytetyt dekaalikirjastot, mutta niitä ei käsitellä tässä työssä.

**Taulukko 4.2.** Piirilevyn tuontiasetukset.

Asetus	Oletusarvo	Käytetty arvo
Log All Errors	✓	✓
Log All Warnings	✓	✓
Log All Events	×	×
Do not translate hidden net names	✓	✓
Import Clearance Rules	✓	✓
Import Routing Rules	✓	✓
Import High Speed Rules	✓	✓
Plane Pullback Distance	10 mil	0 mil
Rebuild All Internal Planes	×	×
Add Missing Via On Route Layer Change	✓	✓
Generate Teardrops	×	×
Generate Rules For Thermals In Pad Stack	✓	✓
Change Attributes For Used Layers	✓	✓
Override Pad Inner Value With Largest Found	✓	✓

## 4.4 Piirikaavion ja piirilevyn jälkikäsitely

Piirikaavion ja -levyn tuonnin jälkeen tuoduista dokumenteista etsittiin virheitä erilaisilla menetelmillä. Havaitut virheet dokumentoitiin joko ottamalla ruutukaappaus virheestä tai kirjallisesti. Virhekuvat otettiin vertailua varten sekä alkuperäisestä PADS-projektista että tuodusta Altium Designer -projektista. Lisäksi joistakin virhekohdista kirjattiin ylös muuta täydentävää tietoa.

Dokumenttien virheiden etsintä suoritettiin kuvan 4.1 tuontiprosessin mukaisesti. Ensimmäisessä vaiheessa piirikaaviole ja -levylle tehtiin nopea visuaalinen tarkastus, jolla pystyttiin havaitsemaan tuontiprosessissa syntyneet selkeät virheet. Tällaisia virheitä olivat muun muassa piirikaavio-objektien väärät sijainnit ja merkittävät virheet piirilevyn kuparialueissa. Jokaisen löydetyn virheen tiedot kirjattiin ylös aiemmin mainitulla menetelmällä, minkä jälkeen myös virheiden syyt selvitettiin. Lopuksi virheille etsittiin korjausmenetelmät ja virheet korjattiin.

Visuaalisen tarkastuksen jälkeen sekä piirikaavio että piirilevy tarkastettiin ERC- ja DRC-työkaluilla. Työkalujen avulla pystyttiin havaitsemaan vaikeasti havaittavia virheitä kuten liian pieniä välyksiä kuparialueiden välillä. Tarkastus tapahtui ajamalla ERC- tai DRC-työkalu ja tutkimalla sen raportoimia sääntörikkomuksia. Jokainen sääntörikkomuksen aiheuttanut kohta tarkastettiin ja sitä verrattiin alkuperäiseen PADS-dokumenttiin. Jos kohdassa oli oikea virhe, sen tiedot kirjattiin ylös aiemmin mainitulla menetelmällä, minkä jälkeen virheen syy selvitettiin. Lopuksi virheelle etsittiin korjausmenetelmä ja virhe korjattiin. Jos virhe sen sijaan ei ollut oikea, vaan sääntörikkomus johtui esimerkiksi Altium Designerin vääristä asetuksista, sääntörikkomuksen aiheuttaneet asetukset korjattiin vastaamaan PADSissä käytettyjä. Jos taas virheen aiheuttanut ominaisuus ei löytynyt PADSistä, ominaisuus joko kytkettiin Altium Designerissä pois päältä tai sen asetukset säädettiin projektille sopiviksi käyttäen tapauskohtaista harkintaa.

Kolmannessa vaiheessa piirikaavion ja piirilevyn välisiä virheitä etsittiin synkronoimalla Altium Designerin piirikaavio ja piirilevy keskenään. Ensin synkronoitiin komponenttien tunnisteet Altium Designerin *Component Links* -ominaisuudella. Seuraavaksi piirikaavion muutokset tuotiin piirilevylle teknisen muutoksen tilaus -ominaisuudella (engl. engineering change order, ECO). Tällä tavalla saatiin esille loputkin sähköiset erot piirikaavion ja piirilevyn välillä. Synkronoinnilla havaittiin erityisesti piirikaavion ja piirilevyn määrittelyihin liittyviä virheitä, kuten puuttuvia verkkoluokkien ja differentiaaliparien määrittelyitä, sekä eroja komponenttien määrittelyissä. Kaikki ECO-työkalun ilmoittamat erot tarkastettiin käsin. Jos ECO-työkalun raportoima ero johtui todellisesta erosta piirikaavion ja piirilevyn välillä, se kirjattiin ylös. Tämän jälkeen erolle etsittiin korjausmenetelmä ja se korjattiin. Käytännössä ero korjattiin joko käsin piirikaavioon tai ECO-työkalun raportoima muutos tuotiin piirilevylle. Jos ECO-työkalun raportoima ero sen sijaan johtui

Altium Designerin vääristä asetuksista, asetukset korjattiin siten, että ECO-työkalu ei enää raportoinut kyseistä eroa. Esimerkiksi Altium Designerin automaattinen väyliin liittyvien verkkoluokkien luonti kytkettiin pois päältä, jotta siitä ei aiheutuisi ECO-työkalun raportoimia eroja.

Neljäs vaihe oli eräänlainen lopputarkastus, jossa sekä alkuperäisestä PADS-piirilevystä että korjatusta Altium Designer -piirilevystä luotiin Gerber-tiedostot ja tiedostoja verrattiin keskenään kerros kerrokselta. Tiedostojen vertaaminen tapahtui avaamalla kummankin ohjelmiston tiedostot yhtä aikaa Altium Designeriin sisäänrakennetussa CAMtastic-työkalussa. Tarkastus perustui visuaaliseen tarkastukseen: Eri sovellusten vastaavat kerrokset asetettiin näkyviksi yksi kerrallaan eri värinä ja kerrosten väliltä etsittiin eroja. Löydetyt virheet kirjattiin jälleen ylös aiemmin mainitulla menetelmällä, minkä jälkeen virheet korjattiin tapauskohtaisesti jollakin aiemmin mainituista tavoista.

## 5. TUONTIPROSESSISSA SYNTYNEET VIRHEET

Tässä luvussa tarkastellaan elektroniikkaprojektin tuonnissa syntyneitä virheitä. Virheiden käsittely on jaettu kolmeen osaan: ensin käsitellään piirikaavion virheet, toisena piirilevyn kuparikerrosten virheet ja viimeisenä piirilevyn mekaanisten kerrosten virheet. Luvussa selvitetään myös virheiden syntymiseen johtaneita syitä sekä ratkaisuja virheiden korjaamiseen.

### 5.1 Piirikaavion virheet

Piirikaavion tuonnissa syntyneet virheet on esitetty liitteen C kuvassa C.1. Jokaiselle virheelle on oma kuvapari, jossa vasemmalla puolella on esitetty jokin alkuperäinen PADS-kytkentä. Oikealla puolella taas on vastaava Altium Designeriin tuotu kytkentä, jossa on jokin virhe. Piirikaavion virheille on annettu muotoa Ax olevat tunnisteet, missä x on kokonaisluku.

Piirikaavion tuonnissa syntyneet virheet A1 ja A2 liittyvät piirikaavioon syntyneisiin oikosulkuihin. Virheessä A1 kahden risteävän johtimen välille oli ilmestynyt ylimääräinen solmukohta, joka aiheutti oikosulun. Virhe korjattiin poistamalla oikosulun aiheuttanut solmukohta. Virheen A2 oikosulku taas ei aiheutunut näkyvästä solmukohdasta, vaan Altium Designerin *Net Label* -objektien sijoittelusta. *Net Label* -objektien aktiivinen piste on objektin vasen alakulma, mikä tarkoittaa, että objektin vasemman alakulman kohdalla oleva johdin on yhdistetty objektin nimeämään verkkoon [2]. Jos aktiivisessa kohdassa on kaksi risteävää johdinta, ne kytkeytyvät samannimiseen verkkoon, mistä aiheutuu oikosulku. Virhe korjattiin sijoittamalla ongelmallinen *Net Label* -objekti eri kohtaan.

Virheessä A3 lähes kaikki kytkennän porttisymboleiden IO-suunnat olivat muuttuneet vääriksi projektin tuonnin seurauksena, mikä vaikuttaa kuitenkin vain virheetarkastukseen eikä varsinaisesti kytkennän toimintaan. Koska portteja oli käytetty piirikaaviossa paljon, virhe ilmeni laajalti koko piirikaaviossa. Virhe korjattiin vaihtamalla porttien IO-suunnat oikeiksi porttien asetuksista.

Virheet A4-A8 olivat piirikaavion graafisia virheitä, jotka eivät vaikuttaneet kytkentöjen toimintaan. Virheessä A4 joidenkin porttiobjektien kierto oli alkuperäisestä poikkeava. Virheessä A5 Altium Designer oli lisännyt jokaiseen nimettyyn verkkoon automaattisesti



*Net Label* -objektin, jota ei voitu piilottaa tai poistaa ilman verkon nimen muuttumista. Virheet A4 ja A5 korjattiin sijoittamalla piirikaavio-objektit paremmin. Virheessä A7 oli kyse joidenkin piirikaaviosymboleiden tuonnissa syntyneistä graafisista virheistä. Esimerkkikuvan tapauksessa testipisteissä käytetystä symbolista puuttui yksi viiva. Vialliset symbolit korjattiin symbolikirjastoihin ja korjatut symbolit päivitettiin piirikaavioon. Virheessä A8 piirikaaviosivujen numerointi ei toiminut Altium Designerissä, sillä PADS ja Altium Designer käyttävät sivujen numeroinnissa erinimisiä tekstimuuttujia. Numerointi korjattiin korvaamalla tekstimuuttujat oikeilla Altium Designerin muuttujilla.

Virhe A9 liittyy osittain PADSin viivakirjastoihin, joita ei tueta Altium Designerissä. Viivakirjastojen tuen puutteen vuoksi projektien tuontityökalu tuo PADS-piirikaavion sivujen reunat ja nimiöt Altium Designeriin tavallisina grafiikkaobjekteina, kuten viivoina ja tekstiobjekteina. Piirikaavion reunoista ei siis tehdä automaattisesti Altium Designerin sivupohjia (engl. sheet template). Virhe korjattiin luomalla alkuperäisistä piirikaavion reunoista Altium Designerin sivupohjat ja ottamalla ne käyttöön eri piirikaaviosivuilla.

Virhe A10 liittyy kirjallisuustutkimuksessa käsiteltyihin eroihin PADSin ja Altium Designerin hierarkian käsittelyssä. Erojen seurauksena Altium Designer ei yhdistä samannimisiä signaaliportteja ja käyttöjänniteportteja toisiinsa. Alkuperäisessä PADS-projektissa näitä portteja oli käytetty käyttöjänniteverkoissa sekaisin, minkä vuoksi osa piirikaavion sähköisistä yhteyksistä oli projektin tuonnin jälkeen poikki. Virhe korjattiin korvaamalla kaikki käyttöjänniteverkkojen signaaliportit käyttöjänniteporteilla.

Virheet A11 ja A12 taas liittyvät kirjallisuustutkimuksessa käsiteltyihin PADSin ja Altium Designerin eroihin verkkojen ominaisuuksien määrittelyssä. Virheessä A11 verkkoluokat olivat poistuneet piirikaaviosta, koska PADSissä verkkoluokat määritellään verkkojen määreinä ja Altium Designerissa *Net Label* -objekteilla. Virhe korjattiin määrittelemällä verkkoluokat uudestaan *Net Label* -objektien avulla. Vastaavasti virheessä A12 differentiaaliparien määrittelyt olivat poistuneet piirikaaviosta. Virhe korjattiin määrittelemällä differentiaaliparit uudestaan *Differential Pair* -objekteilla, sekä nimeämällä differentiaaliparien verkot Altium Designerin vaatimilla *P*- ja *N*-päätteillä.

## 5.2 Piirilevyn virheet

Piirilevyn tuonnissa syntyneet virheet on esitetty liitteessä C. Kuvilla dokumentoidut virheet on koottu kuviin C.2, C.3 ja C.4. Jokaiselle virheelle on oma kuvapari, jonka vasemmalla puolella on kuva alkuperäisestä PADS-piirilevystä ja oikealla puolella kuva virheellisestä Altium Designer -piirilevystä. Lisäksi ilman kuvia dokumentoidut virheet on koottu taulukkoon C.1.

### 5.2.1 Kuparikerrosten virheet

Kuparikerrosten tuonnissa syntyneille virheille annettiin muotoa *By* olevat tunnisteet, missä *y* on kokonaisluku. Vaikka kuparikerrosten virheet olivat pääosin vakavampia kuin piirikaavion tapauksessa, kaikki virheet pystyttiin kuitenkin korjaamaan kohtuullisella työmäärällä.

Virheet B1 ja B2 liittyivät juotoskohtien ja kuparitäyttöjen välisiin lämpöhelputuksiin (engl. thermal relief), jotka eivät siirtyneet PADSistä Altium Designeriin oikein. Ongelma oli kuitenkin tiedossa jo kirjallisuustutkimuksen perusteella, ja se korjattiin asettamalla Altium Designerin *Polygon Connect*- ja *Clearance*-suunnittelusäännöt oikeiksi.

Virheessä B3 pienen kuparitäytön ympärillä oleva suurempi kuparitäyttö esti pienemmän alueen täytön. Virhe johtui alueiden väärästä täyttöjärjestyksestä, joka korjattiin vaihtamalla järjestys oikeaksi *Polygon Manager* -työkalulla. Peruseriaatteena alueiden täytössä on, että ensimmäisinä täytettävät alueet varaavat oman alansa kuparitäytöstä, ja mahdolliset myöhemmät täytöt kiertävät jo täytetyt alueet [2].

Virheessä B4 joidenkin läpivientien verkot oli tuotu Altium Designeriin väärin. Tärkeä yksityiskohta virheen syntymisessä oli, että virheelliset läpiviennit olivat tuonnin seurauksena väärin määritellyn estoalueen sisällä, minkä vuoksi ne eivät olleet aluksi yhteydessä mihinkään kuparialueeseen. Virhe liittyy siis myös estoalueiden virheelliseen tuontiin. Verkot olivat kuitenkin väärät myös estoalueiden korjaamisen jälkeen, ja ne jouduttiin korjaamaan käsin läpivientien asetuksista.

Virheet B5-B6 aiheutuivat estoalueiden tuontiin liittyvistä ongelmista, jotka olivat tiedossa jo kirjallisuustutkimuksen perusteella. Virheet ovat keskenään hieman erityyppisiä. Virheessä B5 Altium Designeriin tuotujen dekaalien estoalueiden rajoitteet eivät useimmiten vastanneet PADSissä käytettyjä rajoitteita. Virhe johtuu kirjallisuustutkimuksen perusteella siitä, että PADSin ja Altium Designerin estoalueiden rajoitteilla ei ole suoria vastaavuuksia, eikä tuontityökalu pysty päättelemään sopivia asetuksia itse. Dekaaaleissa olevat estoalueet korjattiin alkuperäisiä vastaaviksi käsin. Virhe B6 sen sijaan liittyy suoraan piirilevylle piirrettyihin estoalueisiin, jotka eivät siirtyneet PADSistä Altium Designeriin lainkaan. Nämä estoalueet jouduttiin piirtämään kokonaan uudestaan käsin, mikä voi joissain tapauksissa olla työlästä.

Virheessä B7 erään komponentin tunniste oli siirtynyt silkipainokerrokselta kuparikerrokselle, mikä aiheutti DRC-virheen. Tunnisteen siirtymiselle ei löytynyt selkeää syytä, mutta se korjattiin päivittämällä piirilevyn dekaalit Altium Designeriin tuoduista kirjastoista. Toinen vaihtoehto olisi ollut poistaa tai siirtää tunniste jollekin toiselle kerrokselle käsin.

Virheet B8-B9 koskivat pieniä muutoksia piirilevyn kuparialueissa. Virheessä B8 erääseen piirilevyn kuparimonikulmioon oli ilmestynyt ylimääräinen piikki, joka aiheutti välyksiin liittyvän DRC-virheen. Ongelmaa tutkittaessa huomattiin, että piikki oli itseasiassa jo alkuperäisessä piirilevyssä, mutta koska PADS pyöristi monikulmioiden kulmat, sitä ei havaittu. Altium Designerissä monikulmioiden kulmia ei pyöristetä automaattisesti, joten tuonnin jälkeen piikki oli havaittavissa. Myös virheessä B9 monikulmion pyöristämättömyys johti välyksiin liittyvään DRC-virheeseen. Virheet B8 ja B9 korjattiin muokkaamalla monikulmioita ja pyöristämällä tarvittavat kulmat.

Myös virhe B10 liittyy pyöristyksiin. PADSissä juotoskohtien kulmien pyöristykset ilmoitetaan ohjelmistossa käytettävässä mittayksikössä [13]. Altium Designerissä pyöristykset taas ilmoitetaan prosenttiosuutena juotoskohdan pienimmän ulkomitan puolikkaasta [2]. Piirilevyn tuonnissa ilmaisutapa muuttuu, mistä voi aiheutua lukujen pyöristysvirheitä. Pyöristysvirheiden vuoksi erään juotoskohdan kulma erosi alkuperäisestä ja aiheutti juotoskohdan ja johtimen väliseen välykseen liittyvän DRC-virheen. Virhe korjattiin siirtämällä johdinta hieman kauemmas juotoskohdasta.

Virhe B11 liittyy PADSin ja Altium Designerin eri tapoihin käsitellä mukautettuja juotoskohtia, joissa on käytetty *Pad*-objektien lisäksi monikulmioita. Ongelmaan ei ole yksiselitteistä ratkaisua, sillä ratkaisu riippuu piirilevyn muista yksityiskohdista. Esimerkkikuvan tapauksessa maaverkkoon kuuluvan kuparitäytön asetukseksi oli valittu *Pour Over All Same Net Objects*, jotta kuparitäyttö luotaisiin kaikkien maaverkkoon kuuluvien johtimien päälle. Tällä valinnalla Altium Designer ei kuitenkaan jättänyt lämpöhelpotuksia mukautettujen juotoskohtien ympärille. Jos kuparitäytön asetukseksi olisi valittu *Pour Over Same Net Polygons Only*, lämpöhelpotukset olisi luotu oikein. Tällä asetuksella kaikkien muiden maaverkon johtimien ympärille olisi kuitenkin jäänyt väly, mikä ei ollut toivottavaa. Ongelma ratkaistiin lopulta hyödyntämällä juotoskohdassa *Pad*-objektien ja monikulmioiden lisäksi estoalueita, joiden avulla lämpöhelpotukset saatiin vastaamaan likimain alkuperäisiä.

Virhe B12 liittyy piirilevylle jääviin käyttämättömiin kauluksiin (engl. non-functional pad, NFP). Käyttämättömiä kauluksia voi jäädä monikerrospiirilevylle esimerkiksi käytettäessä läpivientejä. Usein läpivientien ei tarvitse olla yhteydessä kaikkiin piirilevyn kerroksiin, mutta ne voivat kuitenkin kulkea kaikkien piirilevyn kerrosten läpi. Oletuksena jokaisella kerroksella on tällöin läpivienneille myös pienet reikiä ympäröivät kupariset kaulukset. Käyttämättömien kaulusten paikalleen jättämisestä ja poistamisesta on useita mielipiteitä, ja poistamisen tarpeellisuus riippuu myös sovelluksesta. Usein kaulusten poistaminen katsotaan kuitenkin hyväksi suunnittelutavaksi [19]. PADS poistaakin kaulukset automaattisesti, kunhan ominaisuus on kytketty asetuksista päälle [13]. Altium Designerissä kauluksia taas ei poisteta automaattisesti, vaan poisto tulee tehdä käyttäen *Remove Unused Pad Shapes* -työkalua [2].

Virheessä B13 joidenkin dekaalien kohdistuspisteet (engl. fiducial) olivat siirtyneet kuparikerrokselta silkkipainokerrokselle. Virhe on piirilevyn valmistettavuuden kannalta merkittävä, sillä kohdistuspisteitä hyödynnetään kohdistustarkkuuden parantamiseen piirilevyn tuotannossa. Ilman kohdistuspisteitä esimerkiksi piirilevyn kokoonpano ei välttämättä onnistu. [7, luku 4.1.6] Virhe korjattiin siirtämällä dekaalien kohdistuspisteet oikealle kerrokselle ja päivittämällä dekaalit piirilevylle.

Virheessä B14 estoalueiden ja kuparitäyttöjen välille syntyi Altium Designerissa ylimääräisiä välyksiä, joita ei ollut alkuperäisessä PADS-projektissa. Välykset poistettiin luomalla estoalueille oma *Clearance*-sääntö, joka asettaa välysten pituudet nolliksi.

Virheessä B15 piirilevyn kuparialueille oli ilmestynyt joitakin ylimääräisiä hyvin pieniä kuparipisteitä, jotka eivät olleet yhteydessä mihinkään verkkoon. Pisteet ilmenivät kohdissa, joissa alkuperäisessä PADS-projektissa oli graafisten mittaviivojen päitä. Mittaviivojen päiden sijainti ja ylimääräisten kuparipisteiden syntyminen liittyivät siis toisiinsa. Virhe korjattiin poistamalla pisteet käsin.

Virheessä B16 piirilevyn kuparitäyttöjen ja piirilevyn reunan väliltä puuttui välys (engl. pullback). Alkuperäisessä PADS-projektissa kuparitäytöt oli luotu alueina, joiden ulkoreunat noudattelivat piirilevyn reunaviivaa välyksen verran sen sisäpuolella. Altium Designerin tuontityökalu kuitenkin loi täytöt nelikulmioina, jotka peittivät koko piirilevyn. Kuparitäyttö toimii Altium Designerissä oikein myös tällä tavalla, mutta reunaviivan ja täytön välinen välys jää puuttumaan. Virhe korjattiin luomalla *Board Outline Clearance* -sääntö, joka asettaa piirilevyn reunan ja kuparialueiden välisen välyksen alkuperäisen mukaiseksi.

Myös läpivientien tuonnissa oli joitain ongelmia, jotka dokumentoitiin virheinä B17-B19. Virheessä B17 alkuperäisen piirilevyn Laser-läpiviennit muuttuivat Altium Designerissä sokeiksi läpivienneiksi (engl. blind via). Virheet korjattiin *Layer Stack Manager* -työkalusta asettamalla kyseisen läpivientityypin  $\mu$ Via-asetus päälle. Virheet B18 ja B19 johtuivat eroista PADSin ja Altium Designerin läpivientien määrittelyssä: PADSissä läpivienneille voidaan määritellä vapaasti oma juotoskohtapino (engl. pad stack), joka voi sisältää objekteja myös mekaanisilla kerroksilla. Altium Designerissä läpiviennit taas eivät voi sisältää objekteja mekaanisilla kerroksilla, minkä vuoksi läpiviennit eivät siirtyneet täysin oikein Altium Designeriin. Esimerkiksi virheessä B18 piirilevyltä oli hävinnyt tieto siitä, mitkä läpiviennit ovat suljettuja läpivientejä (engl. capped via). Vastaavasti virheessä B19 piirilevyltä oli hävinnyt tieto siitä, mitkä läpiviennit ovat peittämättömiä (engl. untented) ja mitkä peitettyjä (engl. tented). Virhe B18 korjattiin asettamalla läpivienneille oikeat IPC 4761 -standardin mukaiset läpivientityypit. IPC 4761 -tyyppien avulla Altium Designer loi automaattisesti piirilevylle *Capping*- ja *Filling*-kerrokset, joiden sisällöt vastasivat alkuperäisen piirilevyn vastaavia mekaanisia kerroksia. Virhe B19 taas korjattiin muuttamalla läpivientien *Solder Mask Expansion* -asetuksia.

Sekä PADSissä että Altium Designerissä piirilevyn kerroksille voidaan asettaa tyyppi, joka määrittää käytetäänkö kerrosta johdinkerroksena (engl. routing layer) vai tasokerroksena (engl. plane layer). Virheessä B20 eräs piirilevyn kerros oli muuttunut PADSin *Split/mixed*-tyyppisestä johdinkerroksesta Altium Designerin *Plane*-tyyppiseksi tasokerrokseksi. Altium Designerin projektien tuontityökalu tekee kyseisen muutoksen kaikille piirilevyn *Split/mixed*-tyyppisille sisäkerroksille, joilla on vain kuparitäyttöjä [9]. Myös virheellinen kerros oli tällainen. Jotta piirilevy vastaisi alkuperäistä mahdollisimman hyvin, virhe korjattiin vaihtamalla kerroksen tyyppi oikeaksi *Layer Stack Manager*-työkalulla ja lisäämällä kerrokselle alkuperäisen mukainen kuparitäyttö. Kerros olisi kuitenkin ollut toiminnallisesti alkuperäistä vastaava myös *Plane*-tyyppisenä.

## 5.2.2 Mekaanisten kerrosten virheet

Mekaanisten kerrosten tuonnissa syntyneille virheille annettiin muotoa *Cz* olevat tunnisteet, missä *z* on kokonaisluku. Mekaanisten kerrosten virheet olivat pääosin lievempiä kuin kuparikerrosten virheet, ja nekin saatiin korjattua kohtuullisella työmäärällä.

Virhe C1 liittyy piirilevyn juotteenestomaskin (engl. solder mask) tuonnissa syntyneisiin virheisiin. Tuonnissa tapahtui muutamia erilaisia muutoksia. Esimerkkikuvan tapauksessa erään komponentin alla olevan juotoskohdan maski oli alkuperäistä pienempi. Virhe johtui siitä, että Altium Designeriin tuotu projekti käytti juotoskohdan automaattista maskia, jolle oli määritetty negatiivinen *Solder Mask Expansion* -arvo. Maskin muoto vastasi siis juotoskohdan muotoa, mutta sen koko oli *Solder Mask Expansion* -arvon verran juotoskohtaa pienempi sekä vaaka- että pystysuunnassa. Alkuperäinen maski taas oli määritelty nelikulmiona, jonka vaaka- ja pystysuuntaiset pienennykset olivat keskenään erisuuria. Tuontityökalu ei siis osannut tulkita maskin kokoa oikein asettaessaan vakioarvoisen *Solder Mask Expansion* -arvon. Esimerkkikuvan virheen lisäksi myös joissakin muissa juotoskohdissa oli puutteita, kuten kokoeroja, puuttuvia maskeja ja ylimääräisiä maskeja. Kaikki juotteenestokerroksen virheet korjattiin dekaalikirjastoihin ja sitä kautta piirilevylle.

Virhe C2 koskee piirilevyn juotospastamaskia (engl. solder paste mask), jonka virheet olivat hyvin samantyyppisiä kuin juotteenestomaskissa. Esimerkkikuvan tapauksessa erään juotoskohdan neljään osaan jaettu pastamaski oli korvautunut yhdellä suuremmalla maskilla. Alkuperäinen maski oli itseasiassa siirtynyt Altium Designeriin oikein, mutta sen päälle oli lisäksi ilmestynyt juotoskohdan automaattinen maski. Virhe korjattiin asettamalla automaattisen maskin *Paste Mask Expansion* arvoksi -100%, jolloin automaattinen maski poistui käytöstä ja paljasti altaan alkuperäisen maskin. Esimerkkikuvan lisäksi pastamaskissa ilmeni myös muita samankaltaisia virheitä kuin juotteenestomaskissa. Esimerkiksi testipisteiden päälle oli ilmestynyt Altium Designerissä pastamaski, mikä

ei ole toivottavaa, sillä testipisteisiin ei ole tarkoitus juottaa mitään. Vastaavasti kuin juotteenestomaskin tapauksessa, kaikki virheet korjattiin dekaalikirjastoihin ja sitä kautta piirilevylle.

Virheessä C3 kaikki komponenttien tunnisteet (engl. reference designator) puuttuivat piirilevyn kokoonpanokerrokselta. Virhe johtui siitä, että PADSissä kokoonpanokerroksen tunniste tulee lisätä dekaaliin *Label*-objektina, kun taas Altium Designerissä tunniste tulee lisätä *.Designator*-tekstiobjektina [13, 2]. Projektien tuontityökalu ei kuitenkaan tehnyt tunnisteisiin vaadittavaa muutosta automaattisesti. Virhe korjattiin lisäämällä kaikkien dekaalien kokoonpanokerrokselle *.Designator*-tekstiobjektit. Virhe ei vaikuta silkkipainokerroksen tunnisteisiin, sillä ne lisätään piirilevylle automaattisesti dekaalin lisäämisen yhteydessä.

Virheessä C4 erään komponentin silkkipainokerrokselle oli ilmestynyt ylimääräinen ympyrä, jota ei ollut alkuperäisessä dekaalissa. Virheelle ei löytynyt selkeää syytä, mutta se korjattiin poistamalla ylimääräinen ympyrä dekaalista.

Virheessä C5 silkkipainokerroksen komponenttitunnisteissa oli muutoksia, kuten eroja tekstin koossa, sijainnissa sekä kierrossa. Tunnisteiden koot ja asettelu korjattiin käsin vastaamaan alkuperäisen PADS-piirilevyn asettelua. Jos piirilevyllä on paljon komponentteja, virheen korjaaminen voi vaatia paljon työtä. Erityisesti fonttikokojen muuttamisessa voi kuitenkin hyödyntää Altium Designerin *Find Similar Objects* -toimintoa, jonka avulla kaikkien tunnisteiden fonttikoot voidaan muuttaa kerralla. Vastaava virhe esiintyi yleisesti myös muissa piirilevyllä olevissa teksteissä, ja myös niiden korjaus jouduttiin tekemään käsin.

Virhe C6 liittyy eroihin PADSin ja Altium Designerin juotoskohtapinon toiminnassa, ja se on samankaltainen kuin läpivientien yhteydessä havaitut virheet B18 ja B19. Virheessä eräiden komponenttien silkkipainokerrokselta puuttui joitakin graafisia objekteja, kuten komponenttikoteloiden kytkentänastoja vastaavia merkintöjä. Puuttuvat merkinnät oli PADSissä lisätty komponenttien juotoskohtapinon silkkipainokerrokselle. Altium Designer ei kuitenkaan tue mekaanisten kerrosten käyttöä juotoskohtapinossa, joten vastaavat mekaanisten kerrosten merkinnät puuttuivat Altium Designerissä. Virhe korjattiin lisäämällä alkuperäisiä vastaavat merkinnät dekaaleihin käsin.

Virhe C7 liittyy jo kirjallisuustutkimusosassa käsiteltyihin eroihin PADSin ja Altium Designerin kerrosten käsittelyssä ja numeroinnissa. Altium Designerin projektien tuontityökalu pyrkii päättelemään oikean numeroinnin kerrosten sisällön perusteella ennen tuontiprosessia, ja pääteltyä numerointia voidaan myös muuttaa käsin ennen tuontia [9]. Päätelystä huolimatta kerrosten numerointia, järjestystä ja sisältöjä jouduttiin muokkaamaan myös tuonnin jälkeen käsin, jotta kerrosten myöhempi käsittely oli johdonmukaista ja toimivaa Altium Designerissä. Kerrosten uudelleennumerointi vaati jonkin verran työtä ja alkuperäisen kerrosjärjestyksen selvittelyä, mutta onnistui kuitenkin

kohtuullisella työmäärällä. Myös tämän virheen korjauksessa osoittautui hyödylliseksi Altium Designerin *Find Similar Objects* -toiminto, jonka avulla useita objekteja voitiin siirtää kerrokselta toiselle nopeasti.

### 5.3 Virheiden analyysi

Myös virheiden vakavuutta arvioitiin osana projektin tuontia. Virheet luokiteltiin vakavuudeltaan kolmeen eri luokkaan: lievä, keskivaikea ja vakava. Virheiden vakavuudet perustuvat arvioon siitä, kuinka merkittävästi virheet vaikuttavat suunnitellun laitteen toimintaan: lievät virheet eivät vaikuta sähköiseen toimintaan, keskivaikeat virheet vaikuttavat jossain määrin sähköiseen toimintaan ja vakavat virheet vaikuttavat merkittävästi sähköiseen toimintaan. Havaitut virheet on ryhmitelty vakavuuden perusteella taulukkoon 5.1. Taulukosta huomataan, että virheet painottuvat pääosin keskivaikkeisiin ja vakaviin virheisiin. Valtaosa havaituista virhetyypeistä siis vaikuttaa myös suunnitellun laitteen toimintaan.

**Taulukko 5.1.** Virheet ryhmiteltyinä vakavuuden suhteen.

Vakavuus	Kuvaus	Virheet
Lievä	Graafinen muutos	A4-A9, C3-C6
	Muuttunut IO-suunta	A3
Keskivaikea	Käyttämätön kuparikaulus	B12
	Muutos kuparialueessa	B8, B9, B15
	Muutos lämpöhelpotuksessa	B2
	Muutos läpiviennissä	B17
	Muutos välyksessä	B10, B11, B14, B16
Vakava	Katkennut yhteys	A10
	Muutos estoalueessa	B5, B6
	Muutos juotospastakerroksella	C2
	Muutos juotteenestokerroksella	C1
	Muutos kerrosjärjestyksessä	C7
	Muutos kerrostyypissä	B20
	Muutos kuparialueessa	B3
	Muutos lämpöhelpotuksessa	B1
	Muutos läpiviennissä	B4, B18, B19
	Muutos verkon määritteissä	A11, A12
	Oikosulku	A1, A2
Väärälle kerrokselle siirtynyt objekti	B7, B13	

Lisäksi projektin tuonnin yhteydessä arvioitiin virheiden korjaukseen vaadittavaa työmäärää, jonka perusteella virheet luokiteltiin kolmeen eri luokkaan: pieni, keskimääräinen ja suuri. Luokkaan pieni kuuluvat virheet olivat hyvin nopeita korjata, ja ne esiintyivät vain yksittäisinä kappaleina. Luokkaan keskimääräinen kuuluvat virheet olivat niin ikään helppoja ja nopeita korjata, mutta niitä esiintyi paljon, esimerkiksi kymmeniä tai satoja. Keskimääräinen-luokan virheiden korjauksessa voitiin useissa tapauksissa hyödyntää tehokkaasti Altium Designerin joukkomuokkaustyökaluja. Luokkaan suuri kuuluvat virheet taas olivat hyvin työläitä korjata, eikä niiden korjaamista pystytty nopeuttamaan esimerkiksi joukkomuokkaustyökaluilla. Tämän luokan virheet vaativat siis paljon käsin tehtävää työtä. Havaitut virheet on ryhmitelty korjaukseen vaaditun työmäärän perusteella taulukkoon 5.2. Talukosta huomataan, että virheet painottuvat pääosin nopeasti korjattaviin virheisiin. Vaikka virheet siis ovat taulukon 5.1 mukaan pääosin melko vakavia, useimmat niistä voidaan kuitenkin korjata vähäisellä työmäärällä.

**Taulukko 5.2.** Virheet ryhmiteltynä korjauksen vaatiman työmäärän suhteen.

Työmäärä	Kuvaus	Virheet
Pieni	Graafinen muutos	A4, A8, A9, C4, C6
	Käyttämätön kuparikaulus	B12
	Muutos estoalueessa	B5
	Muutos kerrostyypissä	B20
	Muutos kuparialueessa	B3, B8, B9, B15
	Muutos lämpöheloituksessa	B1
	Muutos läpiviennissä	B4
	Muutos välyksessä	B10, B11, B14, B16
	Oikosulku	A1, A2
	Väärälle kerrokselle siirtynyt objekti	B7, B13
Keskimääräinen	Graafinen muutos	A5-A7, C3, C5
	Katkennut yhteys	A10
	Muutos juotospastakerroksella	C2
	Muutos juotteenestokerroksella	C1
	Muutos kerrosjärjestyksessä	C7
	Muutos lämpöheloituksessa	B2
	Muutos läpiviennissä	B17-B19
	Muuttunut IO-suunta	A3
Suuri	Muutos estoalueessa	B6
	Muutos verkon määrittämissä	A11, A12



## 6. YHTEENVETO

Nykyaikaiset CAE-ohjelmistot ovat hyvin monimutkaisia kokonaisuuksia, minkä vuoksi myös ohjelmistojen yhteensopivuus on moniulotteinen ongelma. Yhteensopivuus jakautuu käytännössä kahteen eri osa-alueeseen: tiedostomuotojen yhteensopivuuteen ja toiminnallisuuksien yhteensopivuuteen. Tiedostomuotojen yhteensopivuus on näistä selkeämmin hahmotettava. Jos eri ohjelmistot käyttävät erilaisia tiedostomuotoja, niiden välillä ei ole suoraa yhteensopivuutta, eikä projektien siirto ohjelmistosta toiseen välttämättä onnistu. Tiedostomuotojen osalta yhteensopivuusongelmia voidaan kuitenkin kiertää erilaisilla muunnostyökaluilla, joiden avulla yhden ohjelmiston luomia tiedostoja voidaan muuttaa toisen ohjelmiston tiedostoiksi.

Toinen yhteensopivuuden kannalta olennainen asia on toiminnallinen yhteensopivuus. Vaikka ohjelmistot olisivat tiedostomuotojen kannalta yhteensopivia, voivat liian suuret toimintaerot ohjelmistojen ominaisuuksissa edelleen estää projektien tuonnin ohjelmistosta toiseen. Jos projektissa on esimerkiksi käytetty jotain alkuperäisen ohjelmiston ominaisuutta, jota ei tueta uudessa ohjelmistossa lainkaan, häviää projektin tuonnin aikana väistämättä jotain tietoa. Projektien tuonnin kannalta riittävän yhteensopivuuden takaa kuitenkin ohjelmistojen perustyökalujen yhteensopivuus. Nämä työkalut, eli piirikaavio-, piirilevy- ja kirjastotyökalut sekä virheentarkastus- ja suunnittelusääntöjärjestelmät, on toteutettu useimmissa CAE-ohjelmistoissa jokseenkin samalla tavalla. Suurin osa suunnitteluprosessista tukeutuu perustyökaluihin, kun taas mahdolliset lisäominaisuudet automatisoivat tai helpottavat eri suunnitteluvaiheita. Jos ohjelmistot siis ovat yhteensopivia perustyökalujen osalta, ovat ne todennäköisesti riittävän hyvin yhteensopivia myös projektien siirron kannalta.

Tässä työssä tutkittujen PADS- ja Altium Designer -ohjelmistojen välillä ei ole suoraa yhteensopivuutta niin tiedostomuotojen kuin toiminnallisuuksienkaan osalta. Tiedostojen yhteensopivuus on kuitenkin ratkaistu Altium Designeriin sisäänrakennetulla projektien tuontityökalulla, jolla muun muassa PADSin tiedostoja voidaan tuoda Altium Designeriin. Perustyökalujen osalta yhteensopivuus taas on riittävän hyvällä tasolla projektien tuomiseksi Altium Designeriin. Kirjallisuustutkimuksen perusteella löydetyt olennaiset yhteensopivuusongelmat on koottu taulukkoon 6.1.

**Taulukko 6.1.** Yhteenveto olennaisista PADSin ja Altium Designerin välisistä yhteensopivuusongelmista.

Työkalu	Ominaisuus	Yhteensopivuusongelma
Projekti	Rakenne	Toiminta- ja rakenne-eroja
	Tiedostomuodot	Ei suoraa yhteensopivuutta
Piirikaavio	Yksinastaiset liitinsymbolit	Ei tuettu Altium Designerissä
	Hierarkia	Toimintaeroja
	Verkkojen ominaisuudet	Toimintaeroja
	Signaalien nimet	Toimintaeroja
Piirilevy	Estoalueet	Toimintaeroja
	Physical Design Reuse	Ei tuettu Altium Designerissä
	Kerrosjärjestys	Toimintaeroja
Kirjastot	Viivakirjastot	Ei tuettu Altium Designerissä
	Symbolikirjastot	Kuten piirikaaviossa
	Dekaalikirjastot	Kuten piirilevyllä
Virheentarkastus	ERC	Kehittyneempi Altium Designerissä
	DRC	Toimintaeroja

Työn projektiosassa yhteensopivuusongelmat esiintyivät lukuisina virheinä Altium Designeriin tuodussa piirikaaviossa ja piirilevyllä. Yhteensä piirikaaviossa havaittiin 12 ja piirilevyllä 27 erilaista virhetyyppiä. Taulukkoon 6.2 on koottu virheiden lukumäärät suhteessa niiden vakavuuteen ja korjauksen vaatimaan työmäärään. Taulukosta havaitaan, että virheet painottuvat pääosin keskivaikeisiin ja vakaviin virheisiin sekä pienen ja keskimääräisen työmäärän alueelle. Vakavia ja suuren korjaustyön vaativia virheitä taas on vain kolme.

**Taulukko 6.2.** Virheiden lukumäärät vakavuuden ja korjauksen vaatiman työmäärän suhteen.

Työmäärä \ Vakavuus	Pieni	Keskimääräinen	Suuri	Kaikki
Lievä	5	6	0	11
Keskivaikea	8	2	0	10
Vakava	9	6	3	18
<b>Kaikki</b>	22	14	3	39

Työn tulokset osoittavat, että PADS-projekteja on mahdollista tuoda Altium Designeriin. Projektien tuonneissa on kuitenkin odotettavissa eriasteisia virheitä, jotka joudutaan korjaamaan käsin. Korjausta helpottavat erilaiset Altium Designerin ominaisuudet, kuten ERC- ja DRC-työkalut sekä joukkomuokkauksen mahdollistava *Find Similar Objects* -työkalu. Erityisesti ERC- ja DRC-työkalujen käyttö onkin käytännössä pakollinen osa virheiden etsintää. Toisaalta ERC- ja DRC-työkalut voivat raportoida myös vääriä sääntörikkomuksia, jotka johtuvat esimerkiksi virheellisistä suunnittelusäännöistä. Korjausvaiheessa kaikki sääntörikkomukset tuleekin käydä huolellisesti läpi ja arvioida, ovatko ne oikeita virheitä. Oikeiden virheiden korjauksessa taas auttavat joukkomuokkaustyökalut, joiden avulla voidaan joissain tapauksissa korjata jopa satoja samantyyppisiä virheitä kerralla.

Projektiosiossa Altium Designeriin tuotu projekti oli todellinen ja monimutkainen elektroniikkaprojekti, joten osio antoi hyvän kuvan projektien tuontityökalun soveltuvuudesta elektroniikkateollisuuden tarpeisiin. Koska osiossa kuitenkin käsiteltiin vain yhtä projektia, ei siinä välttämättä voitu havaita kaikkia mahdollisia virheitä. Tämä rajoittaaakin hieman tulosten yleistä soveltuvuutta: muissa projekteissa virheiden lukumäärät ja tyypit eivät välttämättä ole täysin samoja kuin tässä työssä. Virheet voivat myös muuttua uusien PADS- ja Altium Designer -versioiden myötä. Tulokset antavat kuitenkin hyvän yleiskuvan siitä, millaisia virheitä projektien tuonneissa voidaan odottaa ja miten virheet voidaan korjata. Myös työssä esitettyä monivaiheista virheiden etsintään ja korjaukseen käytettyä prosessia voidaan soveltaa muiden projektien yhteydessä.

Työn kirjallisuustutkimukseen perusteella myös PADSin ja Altium Designerin kirjastot ovat melko hyvin yhteensopivia, ja mahdolliset yhteensopivuusongelmat ovat samoja kuin piirikaavio- ja piirilevytyökaluissa. Projektiosassa ei kuitenkaan perehdytty syvällisesti kirjastojen tuontiin. Kirjastojen virheitä käsiteltiin vain niiltä osin kuin ne tulivat ilmi piirikaaviossa tai piirilevyllä. Koska symboli- ja dekaalikirjastotyökalut ovat kuitenkin lähes vastaavia kuin piirikaavio- ja piirilevytyökalut, voidaan olettaa, että myös tuonnissa syntyvät virheet ovat samankaltaisia. PADSin kirjastojen tuonti Altium Designeriin on kuitenkin mahdollinen työn aiheeseen liittyvä jatkotutkimuskohde.

Toinen mahdollinen jatkotutkimuskohde liittyy virhekorjausten automatisointiin. Kirjallisuustutkimusosassa lyhyesti käsitelty Altium Designerin DelphiScript-komentotulkki mahdollistaa muutosten tekemisen suunnitteludokumentteihin ohjelmallisesti, joten sen avulla voidaan teoriassa myös korjata erilaisia tuontiprosessissa syntyviä virheitä. Mikäli projekteja on tarpeen tuoda PADSistä Altium Designeriin toistuvasti, voi joidenkin korjausten automatisointi DephiScript-komentosarjoilla säästää merkittävästi aikaa.

## LÄHTEET

- [1] *Altium 365: Rapidly Gaining Traction throughout the Electronics Industry*. Altium, 2020. URL: <https://www.altium.com/company/newsroom/press-releases/altium-365-rapidly-gaining-traction-throughout-electronics-industry> (viitattu 09. 06. 2022).
- [2] *Altium Designer Documentation. Version 22*. Altium, 2018. URL: <https://www.altium.com/documentation/altium-designer?version=22> (viitattu 05. 07. 2022).
- [3] K. L. d'Entremont. *Engineering Ethics and Design for Product Safety*. 1st ed. New York: McGraw-Hill, 2021.
- [4] R. R. Jacobson, S. Meyer. "Mentor Graphics Corporation". In: *International Directory of Company Histories*. Ed. by D. Jacques, P. Kepos. Vol. 125. Detroit: St. James Press, 2011, pp. 244–249.
- [5] C. F. Coombs Jr., H. T. Holden. *Printed Circuits Handbook*. 7th ed. New York: McGraw-Hill Education, 2016.
- [6] F. Maloberti. *Understanding Microelectronics: A Top-Down Approach*. Chichester: John Wiley & Sons, 2011.
- [7] L. Marks, J. Caterina. *Printed Circuit Assembly Design*. New York: McGraw-Hill, 2000.
- [8] C. Maxfield. *Meandering musings on Altium's bold and exciting move to Shanghai*. EETimes, 2011. URL: <https://www.eetimes.com/meandering-musings-on-altiums-bold-and-exciting-move-to-shanghai/> (viitattu 21. 06. 2022).
- [9] *Migration Guide Making the Switch from PADS to Altium Designer*. Altium, 2017. URL: <https://resources.altium.com/p/migration-guide-making-the-switch-from-pads-to-altium-designer> (viitattu 26. 06. 2022).
- [10] *PADS Professional*. Siemens. Verkkosivu. URL: <https://eda.sw.siemens.com/en-US/pcb/pads/professional/> (viitattu 21. 06. 2022).
- [11] *PADS Standard and PADS Standard Plus*. Siemens. Verkkosivu. URL: <https://eda.sw.siemens.com/en-US/pcb/pads/standard-plus/> (viitattu 21. 06. 2022).
- [12] *PADS® Layout ASCII Format Specification. Version VX.2.8*. Siemens, 2020.
- [13] *PADS® Layout User's Guide and Reference Manual. Version VX.2.8*. Siemens, 2020.
- [14] *PADS® Logic ASCII Format Specification. Version VX.2.8*. Siemens, 2020.
- [15] *PADS® Logic User's Guide. Version VX.2.8*. Siemens, 2020.
- [16] *Protel renamed to widen net*. EDN, 2001. URL: <https://www.edn.com/protel-renamed-to-widen-net/> (viitattu 09. 06. 2022).

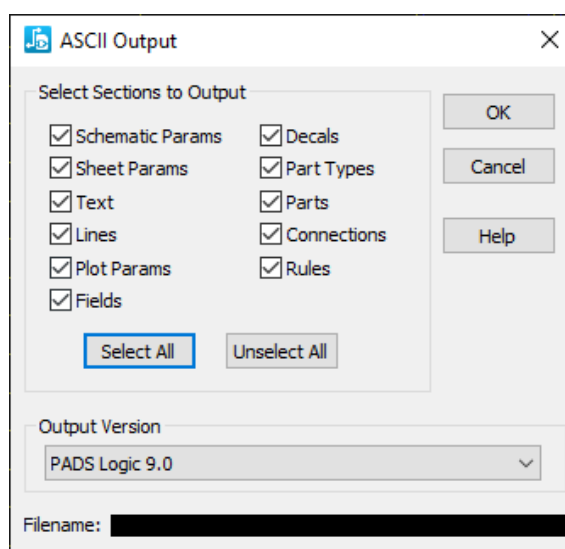
- [17] *Siemens closes Mentor Graphics acquisition*. Siemens, 2017. URL: <https://press.siemens.com/global/en/pressrelease/siemens-closes-mentor-graphics-acquisition> (viitattu 09.06.2022).
- [18] R. R. Tummala. *Fundamentals of Device and Systems Packaging: Technologies and Applications*. 2nd ed. New York: McGraw-Hill Education, 2019.
- [19] S. V. Vantsov, F. V. Vasilev, A. M. Medvedev, O. V. Khomutskaya. "Influence of Nonfunctional Contact Pads on Printed-Circuit Performance". In: *Russian Engineering Research*. Vol. 40(5). 2020, pp. 442–445.
- [20] J. Varteresian. *Fabricating Printed Circuit Boards*. 1st ed. Burlington: Elsevier Science, 2002.

## LIITE A: PADS-OHJELMISTON ASCII-TIEDOSTOJEN TALLENUSTYÖKALUT

PADS Standard -ohjelmistosta voidaan tallentaa suunnitteludokumentteja tekstipohjaisessa ASCII-muodossa, jota myös muut ohjelmistot kuten Altium Designer pystyvät hyödyntämään. Tässä liittessä käsitellään PADS Logic ja PADS Layout -sovellusten ASCII-tiedostojen tallentamiseen käytettäviä työkaluja ja niiden eri näkymiä. Liitteen tavoite on esittää työkalujen käyttöä tapauksessa, jossa luotavia ASCII-tiedostoja halutaan käyttää Altium Designerin projektien tuontityökalun lähdedokumentteina.

### A.1 PADS Logic -sovelluksen ASCII-työkalu

PADS Logic -sovelluksen ASCII-tiedostojen tallentamiseen käytettävä työkalu löytyy valikosta *File* → *Export*. Työkalu avaa ensin tiedostojen tallennusikkunan, josta tulee valita tiedostomuodoksi txt-päätteinen ASCII-muoto ja tallennuspoluksi haluttu polku. Tallennuspainikkeen painamisen jälkeen avautuu kuvan A.1 mukainen asetusikkuna.



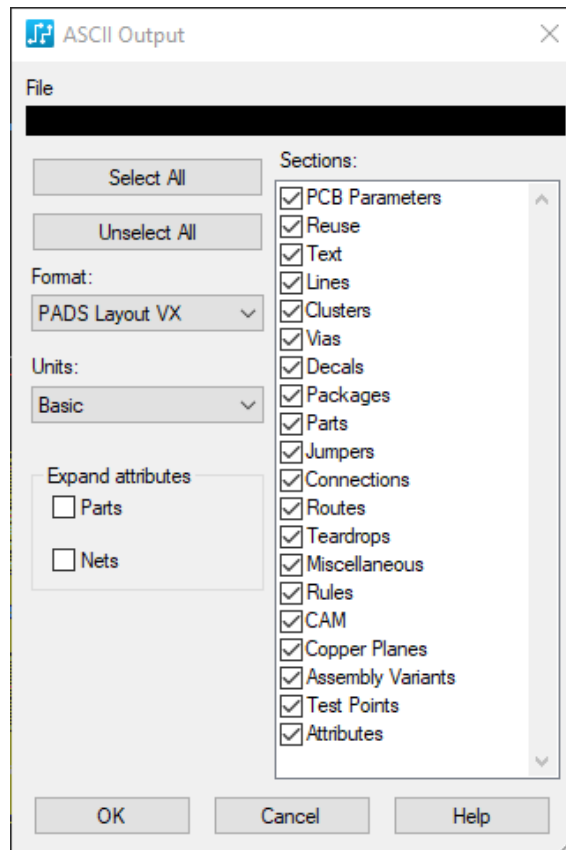
**Kuva A.1.** PADS Logic -sovelluksen ASCII-muotoisen piirikaavion tallennusikkuna.

Kuvan A.1 asetusikkunasta voidaan valita ASCII-tiedoston tiedostoversio sekä tallennettavat piirikaavio-objektit. Tiedostoversio määrittää ASCII-tiedostossa tuetut

piirikaavio-ominaisuudet, joten on suositeltavaa valita versioksi käytössä olevaa PADS Logic -sovelluksen versiota vastaava versio [15]. Jos tarkoituksena on käyttää luotavia ASCII-tiedostoja Altium Designerin projektien tuontityökalussa, voidaan asetussivustolta valita tallennettavaksi kaikki piirikaavio-objektit. Asetusten valinnan jälkeen ASCII-tiedosto voidaan tallentaa OK-painikkeella.

## A.2 PADS Layout -sovelluksen ASCII-työkalu

PADS Layout -sovelluksen ASCII-tiedostojen tallentamiseen käytettävä työkalu löytyy sovelluksen valikosta *File* → *Export*. Kuten PADS Logic -sovelluksen tapauksessa, myös PADS Layout -sovelluksen ASCII-työkalu avaa ensin tiedostojen tallennussivuston, josta tulee valita tiedostomuodoksi asc-päätteinen ASCII-muoto ja tallennuspolkuksi haluttu polku. Tallennuspainikkeen painamisen jälkeen avautuu kuvan A.2 mukainen asetussivusto.



**Kuva A.2.** PADS Layout -sovelluksen ASCII-muotoisen piirilevyn tallennussivusto.

Kuvan A.2 asetussivustolta valitaan haluttu tiedostoversio sekä tallennettavat piirilevyobjektit. Myös piirilevyn tapauksessa tiedostoversio määrittää ASCII-tiedostossa tuetut ominaisuudet, joten on suositeltavaa valita versioksi käytettävää PADS Layout -sovelluksen versiota vastaava versio [13]. Käytettäessä ASCII-tiedostoja Altium Designerin kanssa voidaan jälleen valita tallennettaviksi objekteiksi kaikki objektit.

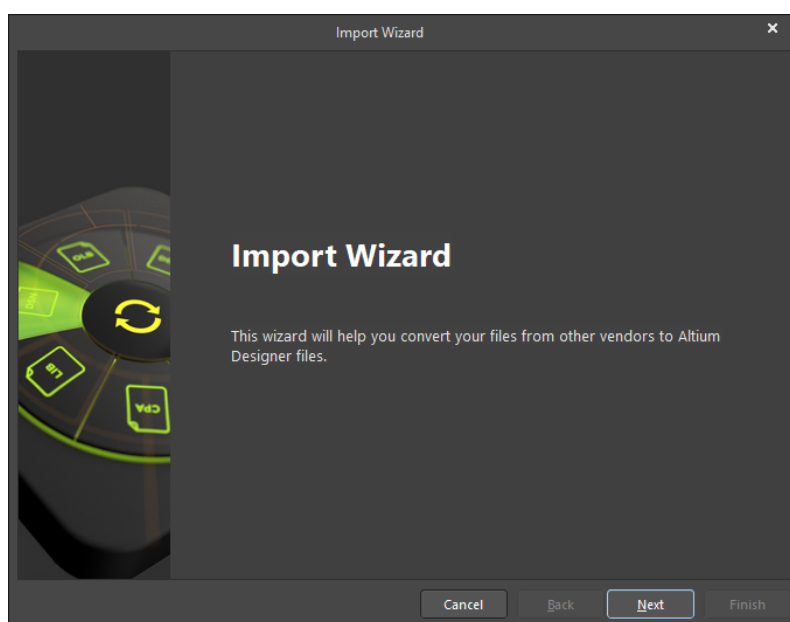
Lisäksi asetusikkunasta voidaan valita käytettävän mittayksikön tyyppi joko *Basic* tai *Current*. *Basic* valinnalla ASCII-tiedostossa käytetään PADS Layout -sovelluksen sisäistä mittayksikköä [15, 12]. *Current*-valinnalla käytetään sovelluksessa valittuna olevaa mittayksikköä. Altium Designeria varten tiedoston mittayksiköksi tulee valita *Basic* [9]. *Expand Attributes* -valinnoilla voidaan valita, tallennetaanko piirilevyobjektien attribuutihierarkian ylempien tasojen attribuutit luotavaan ASCII-tiedostoon [13]. Asetusten valinnan jälkeen ASCII-tiedosto voidaan tallentaa *OK*-painikkeella.



## LIITE B: ALTIUM DESIGNER -OHJELMISTON PROJEKTIEIEN TUONTITYÖKALU

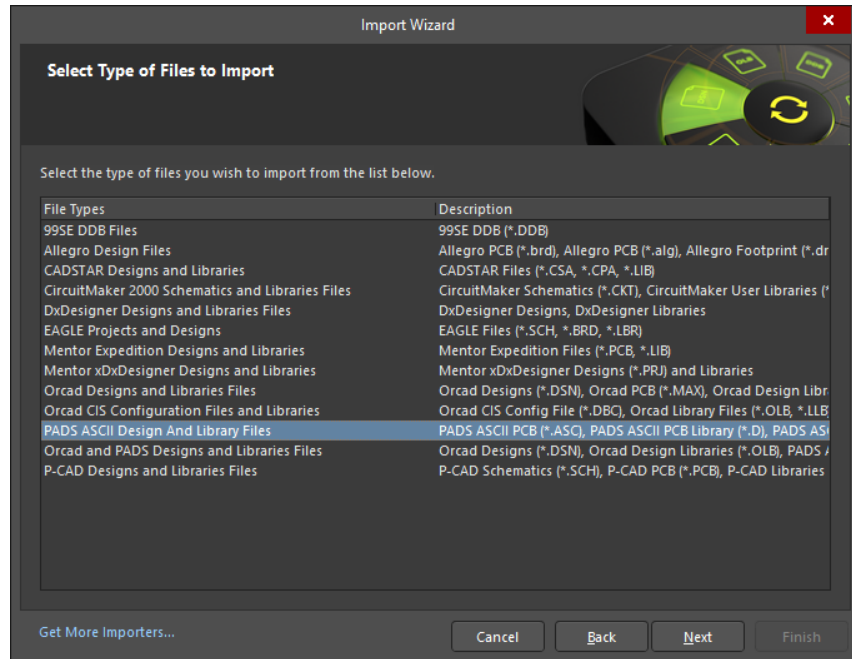
Tässä liitteessä käsitellään Altium Designerin projektien tuontityökalun toimintaa ja sen eri näkymiä. Liitteessä käsitellään työkalua erityisesti PADS-tiedostojen tuonnin näkökulmasta.

Altium Designerin projektien tuontityökalu löytyy valikosta *File* → *Import Wizard*. Ensimmäisenä avautuvassa kuvan B.1 mukaisessa näkymässä voidaan suoraan klikata *Next*-painiketta.



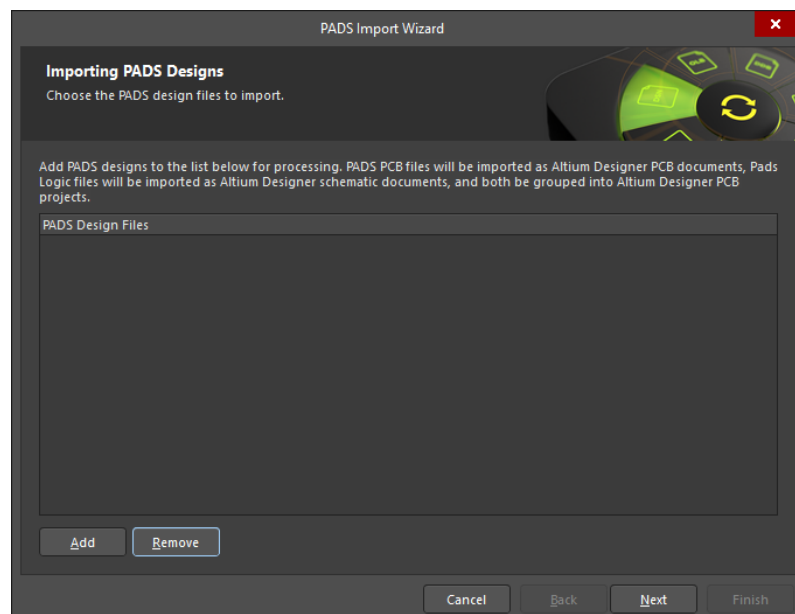
**Kuva B.1.** Projektien tuontityökalun alkunäkymä.

Kuvan B.2 mukaisesta näkymästä voidaan seuraavaksi valita haluttu lähdetiedostojen muoto. Altium Designerin projektien tuontityökalu tukee useiden eri ohjelmistojen tiedostomuotoja, mutta PADS-ohjelmiston tapauksessa valitaan vaihtoehto *PADS ASCII Design And Library Files*.



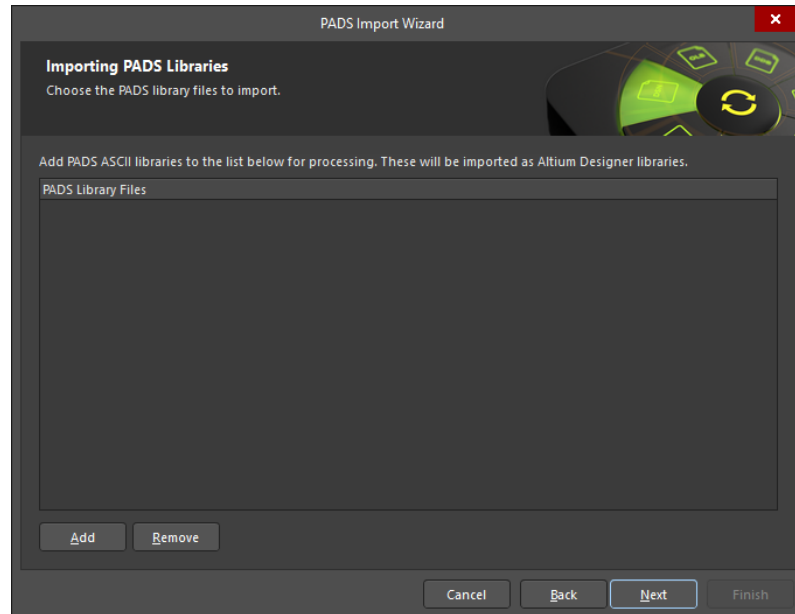
**Kuva B.2.** Lähdetiedostojen tiedostomuodon valinta.

Tiedostomuodon valitsemisen jälkeen voidaan siirtyä valitsemaan piirikaavio- ja piirilevytiedostot klikkaamalla *Next*-painiketta. Avautuvassa kuvan B.3 mukaisessa näkymässä uuden tiedoston voi lisätä klikkaamalla *Add*-painiketta. Monta tiedostoa voidaan lisätä tuotavaksi klikkaamalla *Add*-painiketta jokaista tiedostoa varten uudestaan.



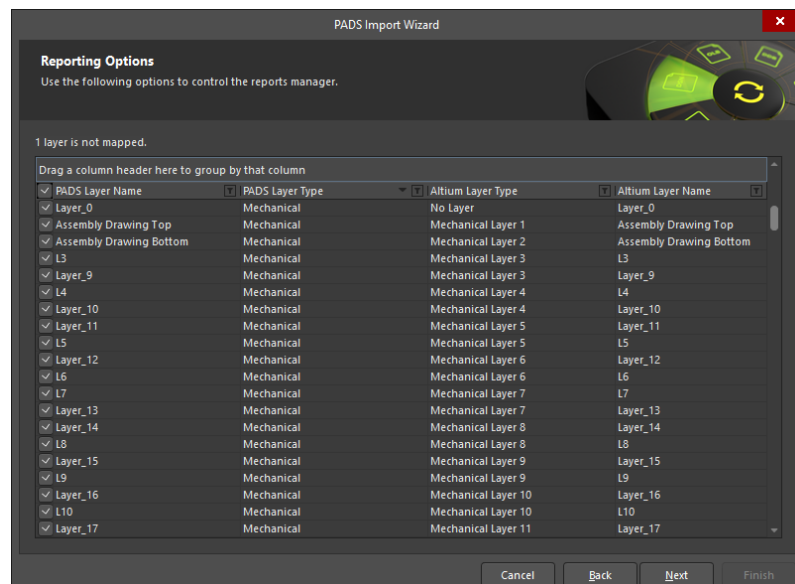
**Kuva B.3.** Piirikaavio- ja piirilevytiedostojen valinta.

Tiedostojen valinnan jälkeen voidaan siirtyä eteenpäin klikkaamalla *Next*-painiketta, jolloin päästään kuvan B.4 mukaiseen näkymään. Näkymässä voidaan valita tuotavat symboli- ja dekaalikirjastot vastaavaan tapaan kuin edellisessä näkymässä.



**Kuva B.4.** Symboli- ja dekaalikirjastojen valinta.

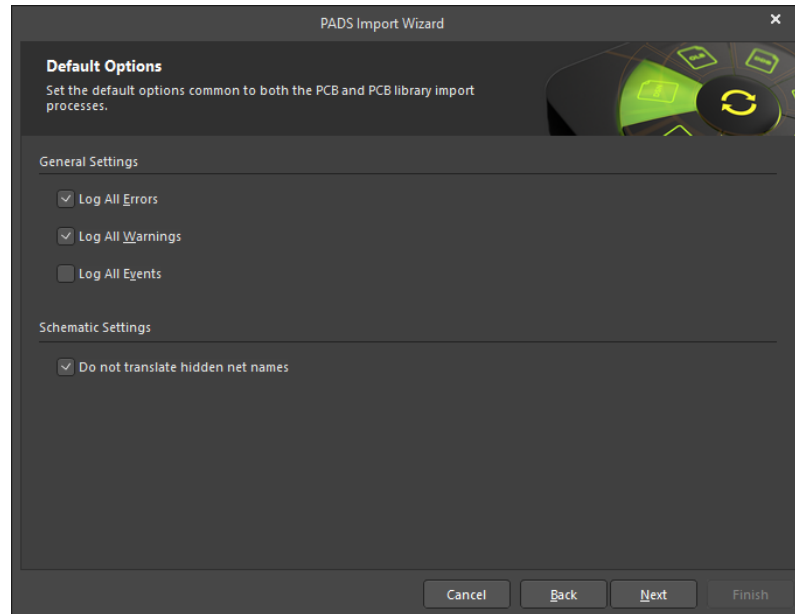
Jos lähdetiedostoissa oli piirilevytiedostoja, päästään *Next*-painikkeen painamisen jälkeen kuvan mukaiseen näkymään, josta voidaan valita miten piirilevyn kerrokset siirretään vastaaviksi Altium Designer -ohjelmiston kerroksiksi. Projektien tuontityökalu päättää alustavat kerrosten asetukset automaattisesti, mutta tarvittaessa niihin voidaan tehdä muutoksia. Jos muutoksia ei tarvita tai ne on tehty, voidaan jatkaa eteenpäin *Next*-painikkeella.



**Kuva B.5.** Piirilevyn kerrosten asetukset.

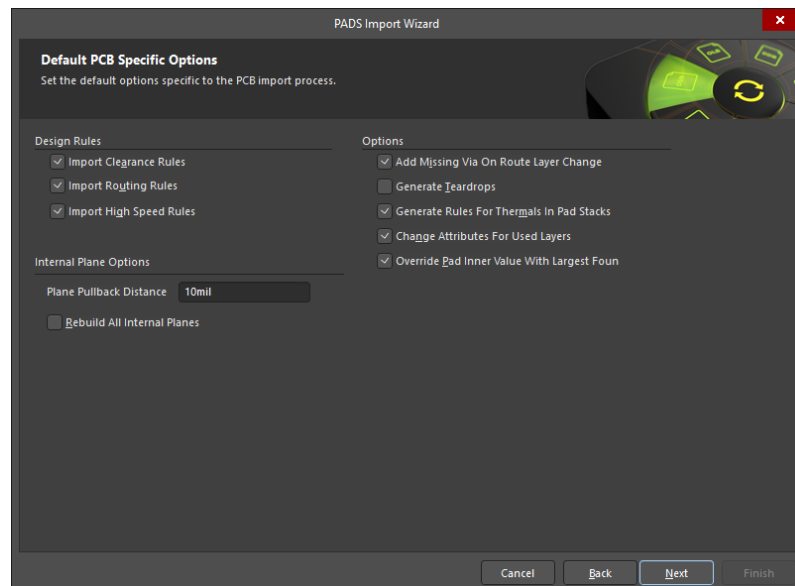
Seuraava näkymä on kuvan B.6 mukainen. Näkymä sisältää kaikille PADS-tiedostoille yhteiset tuontiasetukset. Tuontityökalun käyttöohjeen suositusten mukaan asetuksista

kannattaa kytkeä päälle asetus *Do not translate hidden net names*, kuten kuvassa B.6 [9]. Muut asetukset koskevat tuontiprosessin lokitulosteita, eivätkä ne vaikuta luotaviin suunnitteludokumentteihin.



**Kuva B.6.** Projektin tuonnin yleiset asetukset.

Klikkaamalla *Next*-painiketta päästään asettamaan piirilevyn ja dekaaleiden tuontiin liittyvät asetukset kuvan B.7 mukaisessa näkymässä.



**Kuva B.7.** Piirilevyn tuonnin asetukset.

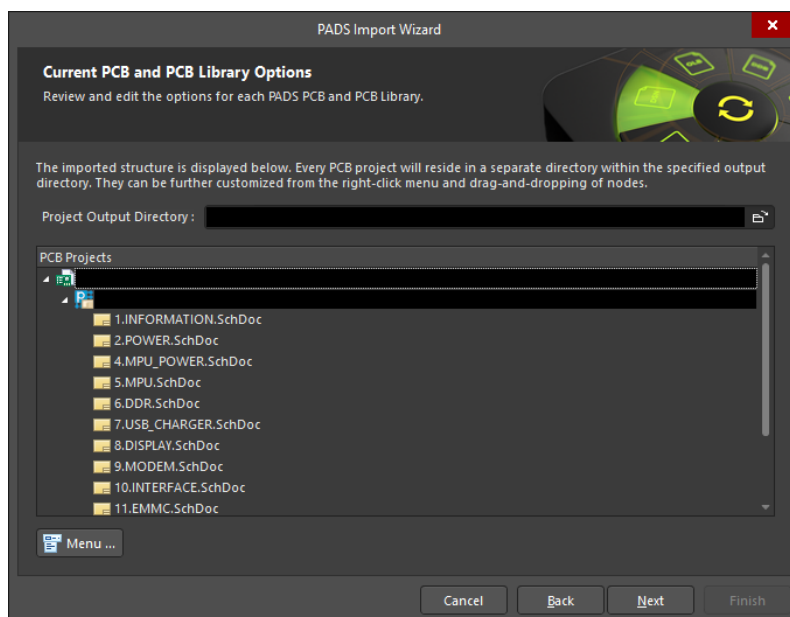
Asetuksilla *Import Clearance Rules*, *Import Routing Rules* ja *Import High Speed Rules* voidaan valita tuodaanko erilaiset suunnittelusäännöt Altium Designeriin [9].

Asetus *Plane Pullback Distance* asettaa piirilevyn tasokerrosten (engl. plane layer) kuparin ja piirilevyn reunan välisen välyksen. Sopiva arvo riippuu alkuperäisestä PADS-projektista ja arvoa voidaan muuttaa myöhemmin Altium Designerin *Layer Stack Manager* -työkalulla. [9]

Asetus *Generate Teardrops* luo piirilevyn juotoskohtiin niin sanotut kyyneltipat (engl. teardrop), jotka pyöristävät juotoskohtien ja johdinten väliset kulmat. Jos asetusta on valittu, kyyneltipat luodaan riippumatta siitä, onko niitä käytetty lähdetiedostoissa. Toisaalta jos asetusta ei ole valittu, kyyneltippoja ei siirretä lähdetiedostosta Altium Designeriin, vaikka niitä olisikin käytetty lähdetiedostossa. [9] Asetusta tulee siis kytkeä päälle vain, jos lähdetiedostossa on käytetty kyyneltippoja.

Asetus *Override Pad Inner Value With Largest Found* asettaa juotoskohtien koot piirilevyn sisäkerroksilla juotoskohtapinojen (engl. pad stack) suurimpien kokojen mukaan [2]. Muita *Options*-kategorian asetuksia ei ole dokumentoitu hyvin, mutta niiden nimet ovat melko kuvaavia.

Asetusten asettamisen jälkeen *Next*-painikkeella voidaan siirtyä esikatselemaan luotavaa projektirakennetta kuvan B.8 mukaisessa näkymässä. Lisäksi avautuvasta näkymästä voidaan valita projektille tallennuspolku.



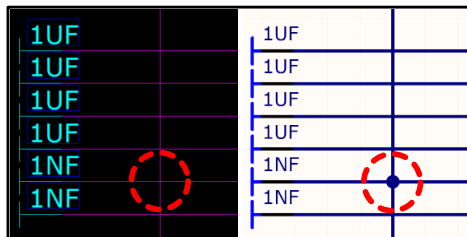
**Kuva B.8.** Projektin tuonnin esikatselunäkymä.

Jälleen klikkaamalla *Next*-painiketta voidaan aloittaa automaattinen tuontiprosessi, jonka päätyttyä projektiin liittyvät tiedostot näkyvät Altium Designerin projektiselaimessa. Tämän jälkeen projektin tuonnin automatisoitu osa on valmis.

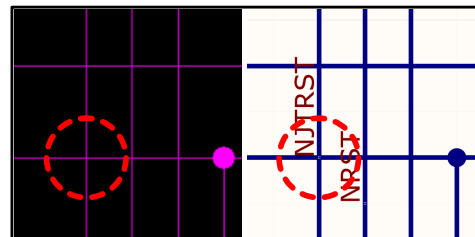
## LIITE C: PROJEKTIN TUONNISSA SYNTYNEET VIRHEET

### VIRHEET

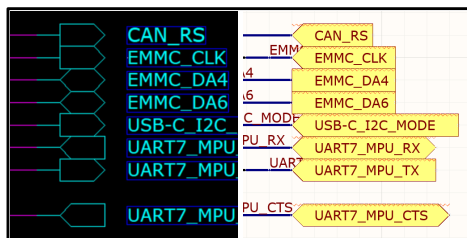
Piirikaavion tuonnissa syntyneet virheet on esitetty kuvassa C.1. Joitakin virheitä on korostettu punaisella katkoviivalla.



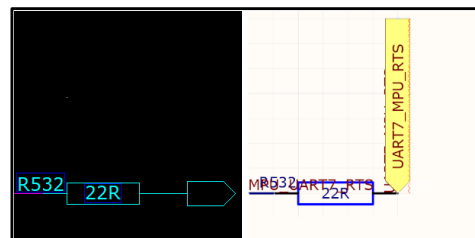
(A1)



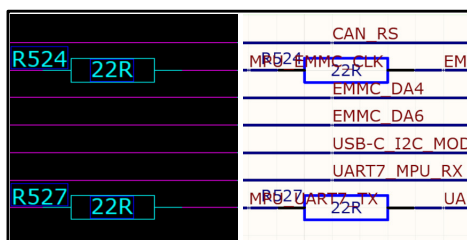
(A2)



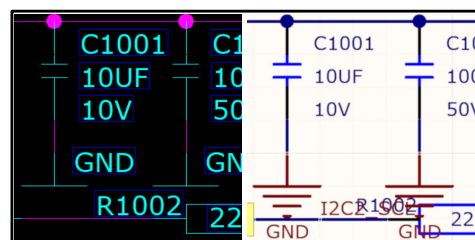
(A3)



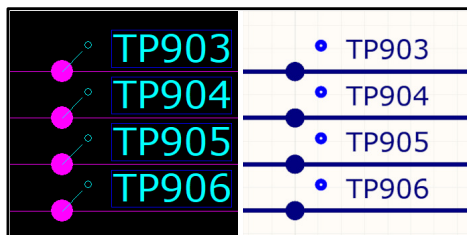
(A4)



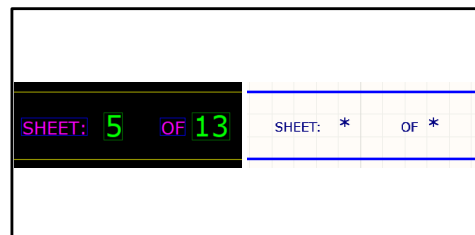
(A5)



(A6)



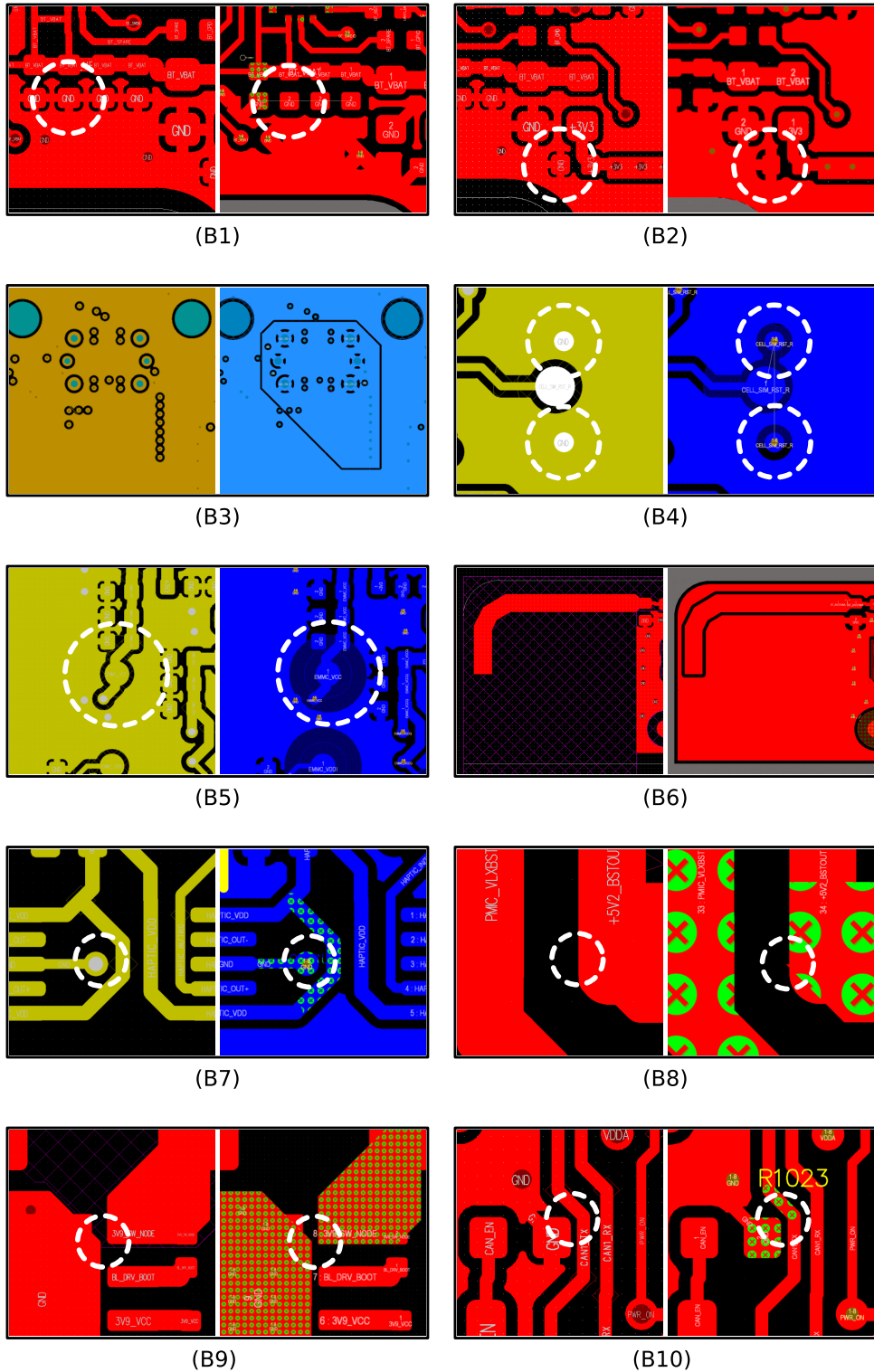
(A7)



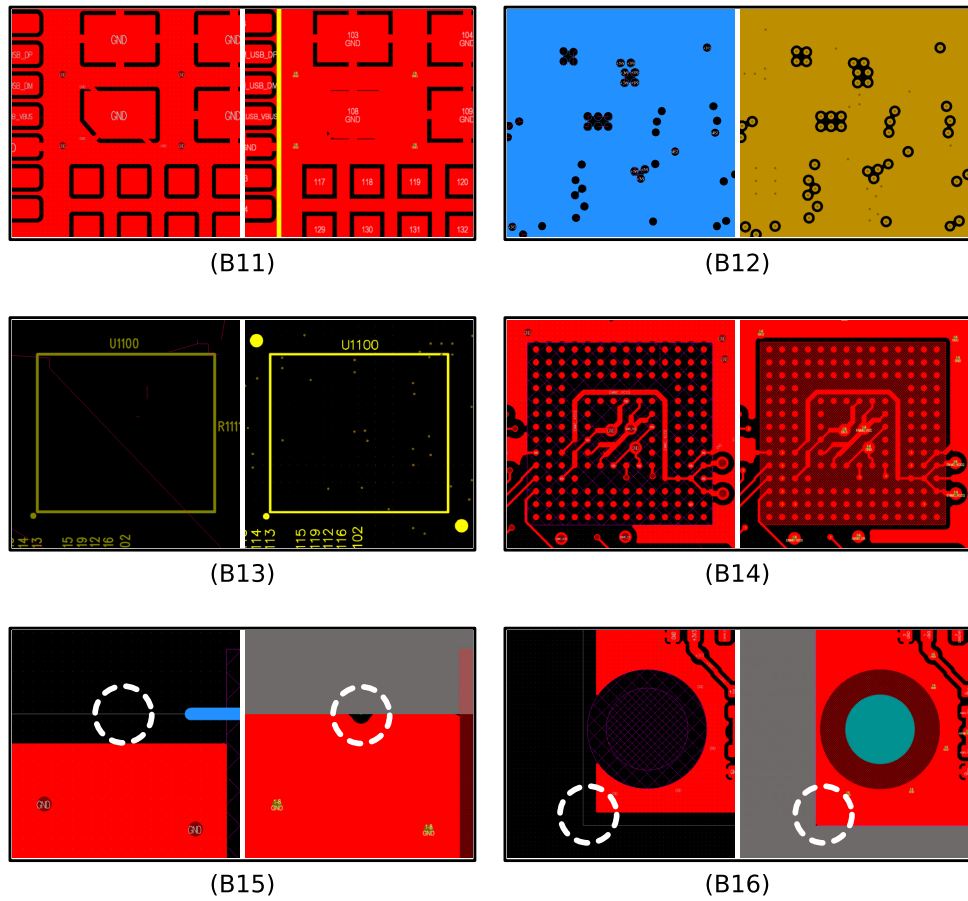
(A8)

**Kuva C.1.** Piirikaavion tuonnissa syntyneet virheet A1-A8.

Piirilevyn kuparikerroksille syntyneet virheet on esitetty kuvissa C.2 ja C.3. Joitakin virheitä on korostettu valkoisella katkoviivalla.



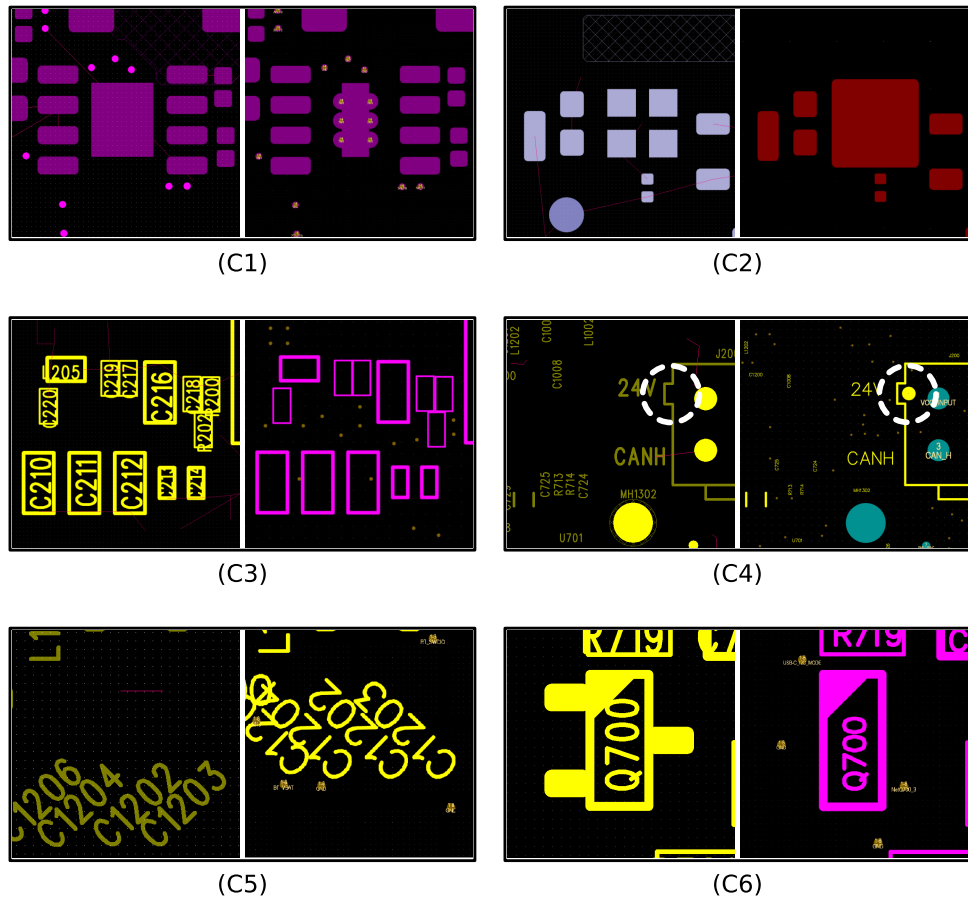
**Kuva C.2.** Piirilevyn tuonnissa syntyneet kuparikerrosten virheet B1-B10.



**Kuva C.3.** Piirilevyn tuonnissa syntyneet kuparikerrosten virheet B11-B16.

Piirilevyn mekaanisille kerroksille syntyneet virheet on esitetty kuvassa C.4. Joitakin virheitä on korostettu valkoisella katkoviivalla.





**Kuva C.4.** Piirilevyn tuonnissa syntyneet mekaanisten kerrosten virheet C1-C6.

Sellaiset virheet, joita ei dokumentoitu kuvilla, on esitetty taulukossa C.1. Virheiden nimeämiskäytäntö noudattaa kuvien käytäntöä: A-alkuiset virheet ovat piirikaaviossa, B-alkuiset virheet ovat kuparikerroksilla ja C-alkuiset virheet ovat mekaanisilla kerroksilla.

**Taulukko C.1. Muut projektin tuonnissa syntyneet virheet.**

<b>Virhe</b>	<b>Kuvaus</b>
A9	Piirikaaviosivun reunaa ja nimiötä ei tuotu Altium Designerin sivupohjaksi (engl. sheet template).
A10	Käyttöjänniteporttien ja signaaliporttien välillä ei ole loogista yhteyttä.
A11	Verkkoluokat eivät ole säilyneet piirikaaviossa.
A12	Differentiaaliparien määrittelyt eivät ole säilyneet piirikaaviossa.
B17	Laserläpiviennit ovat muuttuneet sokeiksi läpivienneiksi (engl. blind via).
B18	Läpivientien mekaanisten kerrosten grafiikat ovat hävinneet, sillä Altium Designer ei tue niitä läpivientien juotoskohtapinossa (engl. pad stack).
B19	Läpivientien päältä puuttuu juotteenestomaski, vaikka sellainen oli alkuperäisissä läpivienneissä.
B20	PADSin <i>Split/mixed</i> -tyyppinen kuparikerros, jolla ei ole johtimia, on muuttunut <i>Plane</i> -tyyppiseksi kerrokseksi, vaikka sen kuuluisi olla <i>Signal</i> -tyyppinen.
C7	Mekaanisten kerrosten numerointi poikkeaa alkuperäisestä, sillä Altium Designerin kerrosten numerointi toimii eri periaatteella verrattuna PADSiin.